

Moderne Herstellverfahren der Elektronik und Sensorik

Inhalt

Artikel

Leiterplattentechnik	1
Leiterplatte	1
HDI-Leiterplatte	16
Leiterplattenbestückung	19
Reflow-Löten	21
Bestückungsautomat	24
Chip-Gehäuse	26
Chipgehäuse	26
Quad Flat Package	33
Ball Grid Array	35
Dickschichttechnik	38
Dickschicht-Hybridtechnik	38
Multi-Chip-Modul	40
Dünnschichttechnologie	42
Dünnschichttechnologie	42
Thermisches Verdampfen	45
Sputtern	47
Fotolithografie (Halbleitertechnik)	52
Halbleitertechnik	62
Halbleitertechnik	62
Mikrosystem (Technik)	70
Referenzen	
Quelle(n) und Bearbeiter des/der Artikel(s)	72
Quelle(n), Lizenz(en) und Autor(en) des Bildes	73
Artikellizenzen	
Lizenz	76

Leiterplattentechnik

Leiterplatte

Eine **Leiterplatte** (**Leiterkarte**, **Platine** oder **gedruckte Schaltung**; englisch *printed circuit board, PCB*) ist ein Träger für elektronische Bauteile. Sie dient der mechanischen Befestigung und elektrischen Verbindung. Nahezu jedes elektronische Gerät enthält eine oder mehrere Leiterplatten.

Leiterplatten bestehen aus elektrisch isolierendem Material mit daran haftenden, leitenden Verbindungen (Leiterbahnen). Als isolierendes Material ist faserverstärkter Kunststoff üblich. Die Leiterbahnen werden zumeist aus einer dünnen Schicht Kupfer geätzt. Die Bauelemente werden auf Lötflächen (Pads) oder in Lötäugen gelötet. So werden sie gleichzeitig mechanisch gehalten und elektrisch verbunden. Größere Komponenten können auch mit Kabelbindern, Klebstoff oder Verschraubungen auf der Leiterplatte befestigt werden.

Material

Einfache Leiterplatten bestehen aus einem elektrisch isolierenden Trägermaterial (Basismaterial), auf dem eine oder zwei Kupferschichten aufgebracht sind. Die Schichtstärke beträgt typischerweise 35 μm und für Anwendungen mit höheren Strömen zwischen 70 μm und 140 μm . Um dünnere Leiterbahnen zu ermöglichen, werden auch Leiterplatten mit nur 18 μm Kupfer hergestellt. In englischsprachigen Ländern wird manchmal statt der Schichtstärke die Masse der leitfähigen Schicht pro Flächeneinheit in Unzen pro Quadratfuß (oz/sq.ft) angegeben. In diesem Fall entspricht 1 oz/sq.ft etwa 35 μm Schichtstärke.

Das Basismaterial war früher oft Pertinax (Phenolharz mit Papierfasern, sog. Hartpapier, Materialkennung FR2). Heute werden – außer für billige Massenartikel – meist mit Epoxidharz getränkte Glasfasermatten verwendet (Materialkennung FR4). Dieses Material hat eine bessere Kriechstromfestigkeit und bessere Hochfrequenzeigenschaften sowie eine geringere Wasseraufnahme als Hartpapier.

Materialbezeichnungen:

- FR1 = Phenolharz + Papier (billige Sorte)
- FR2 = Phenolharz + Papier (Standard-Qualität)
- FR3 = Epoxidharz + Papier
- FR4 = Epoxidharz + Glasfasergewebe
- FR5 = Epoxidharz + Glasfasergewebe (wärmebeständiger)

FR steht für *flame retardant* (dt. *flammenhemmend*).

Für Spezialanwendungen kommen auch andere Materialien zum Einsatz, wie beispielsweise Teflon, Aluminium oder Keramik in LTCC und HTCC für die Hochfrequenztechnik sowie Polyesterfolie für flexible Leiterplatten. Hersteller dieser speziellen Basismaterialien sind Firmen wie Rogers Corporation und Arlon Materials for Electronics, wovon sich auch die umgangssprachliche Bezeichnung „Rogers“ bzw. „Arlon“ im technischen Englischen für teflonbasierende Leiterplatten mit Anwendungsbereich in der Hochfrequenztechnik ableitet.

Neueste Entwicklungen setzen auch Glas als Basismaterial ein, für Leiterplatten mit hohen Anforderungen an die Wärmeabführung werden Basismaterialien mit elektrisch isolierten Metallkernen wie Aluminium verwendet, z. B.



Oben: Bestückungsseite einer einseitigen Leiterplatte mit Bauteilen. Unten: Lötseite mit dem grünen, transparenten Lötstopplack. Das hellbraune Basismaterial erscheint durch den Lötstopplack hellgrün, die kupfernen Leiterbahnen dunkelgrün.

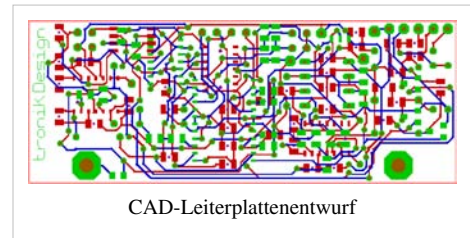
im Bereich der Beleuchtungstechnik mit Hochleistungsleuchtdioden. Diese Trägermaterialien werden auch als Direct Bonded Copper oder als *Insulated metal substrate* (IMS) bezeichnet.

Bei Anwendungen für niedrige Temperaturen oder hohe Luftfeuchtigkeit können auch Basismaterialien mit integrierten Heizelementen eingesetzt werden, die Unterkühlen oder Betauung der Schaltung verhindern. Zudem wird an alternativen Materialien geforscht, die umweltfreundlicher sind, aktuell gibt es dort aber noch Probleme mit der Feuchteresistenz.

Herstellung

Entwurf

Der Leiterplattenentwurf (Layout) erfolgt heute meist mit einer Software, die neben den Leiterzug-Daten auch den Schaltplan und oft Stücklisten sowie auch Daten wie Lotpasten-Muster oder Bestückungsdruck enthält. Die Leiterplattenentflechtung (manuell oder mit einem Autorouter) ist der Hauptinhalt des Entwurfes. Dazu kommen technologische Angaben wie Kupferstärke, Platinen-Fertigungstechnologie und Oberflächenart. Am Ende steht die Übergabe der Daten an die Produktion. Dort wird nach den Daten zum Beispiel ein Film zur Belichtung, ein Drucksieb oder eine Lotpastenmaske hergestellt. Die Daten können auch zur Steuerung eines Lichtschreibers oder einer Fräse dienen. Die Bohrdaten dienen zur Steuerung einer NC-Bohrmaschine.



Die Produktionsdaten sind in nach Funktion getrennten Ebenen strukturiert:

- Muster einer oder mehrerer Kupferlagen (Leiterzüge und Flächen)
- Bohrlöcher (Lage, Tiefe und Durchmesser)
- Umriss und Durchbrüche
- Bestückungsplan oben und unten
- Lötstopplack oben und unten
- Bestückungsdruck oben und unten
- Klebepunkte und Lotpastenmuster für SMD-Bauteile oben und unten
- Partielle Metallisierungen (zum Beispiel Vergoldung für Kontaktflächen)

Serienfertigung

Photochemisches Verfahren

Der größte Teil einseitiger und doppelseitiger durchkontaktierter Leiterplatten wird fotochemisch hergestellt.

Die heutige Reihenfolge der Herstellungsschritte ist:

1. Bohren
2. Durchkontaktieren (bei doppelseitigen Leiterplatten)
3. Fotoresist laminieren
4. Belichten
5. Entwickeln
6. Ätzen
7. Spülen
8. Trocknen

Danach folgen je nach Bedarf Nachbearbeitungsschritte.

Ursprünglich wurde das Bohren und Durchkontaktieren erst nach dem Ätzen der Leiterplatte vorgenommen. Seitdem aber der Fotolack durch sog. Trockenresist, eine fotoempfindliche Folie, ersetzt wurde, wurde die Reihenfolge der

Produktionsschritte verändert. Vorteil ist, dass nun nicht mehr vor dem Durchkontaktieren eine Maske auf die Platine aufgebracht werden muss, die das Aufwachsen des Kupfers an unerwünschten Stellen verhindert. Da zu diesem Zeitpunkt noch die gesamte Leiterplatte von Kupfer bedeckt ist, erhöht sich nur die Schichtdicke der Kupferfolie. Die metallisierten Bohrungen werden während des Ätzvorganges von der Fotoresistfolie beidseitig abgeschlossen.

Die Herstellung der Leiterbahnen erfolgt in der Regel fotolithografisch, indem eine dünne Schicht lichtempfindlichen Fotolacks auf die Oberfläche der noch vollständig metallisierten Platte aufgebracht wird. Nach der Belichtung des Fotolacks durch eine Maske mit dem gewünschten Platinenlayout sind je nach verwendetem Fotolack entweder die belichteten oder die unbelichteten Anteile des Lacks löslich in einer passenden Entwicklerlösung und werden entfernt. Bringt man die so behandelte Leiterplatte in eine geeignete Ätzlösung (z. B. in Wasser gelöstes Eisen(III)-chlorid oder Natriumpersulfat oder mit Salzsäure+H₂O₂^[1]), so wird nur der freigelegte Teil der metallisierten Oberfläche angegriffen; die vom Fotolack bedeckten Anteile bleiben erhalten, weil der Lack beständig gegen die Ätzlösung ist.

Prototypen können auch durch Fräsen der Kupferschichten strukturiert werden ("Isolationsfräsen", s. u. Bild zu Lötrasterplatinen). Solche Platinen bestehen nicht aus Leiterbahnen, sondern aus Flächen, die voneinander durch Frässpuren getrennt sind.

Die Kupferschichten können nach dem Ätzen galvanisch verstärkt werden.

Die Herstellung der Bohrungen zur Aufnahme bedrahteter Bauteile sowie für Durchkontaktierungen erfordert aufgrund des Glasfaser-Anteils des Trägermaterials Hartmetallwerkzeuge. Wenn Bohrungen an den Innenwänden metallisiert werden, entstehen Durchkontaktierungen. Die Metallisierung der Bohrungen (isolierende Flächen) erfordert eine Bekeimung, nachfolgende stromlose Abscheidung einer dünnen Kupferschicht und schließlich deren elektrolytische Verstärkung.

Zusätzlich können galvanisch auf Teilflächen oder der gesamten Kupferfläche metallische Schutz- und Kontaktschichten aus Zinn, Nickel oder Gold aufgebracht werden. Dünne Vergoldungen erfordern zum Kupfer hin eine Diffusionssperrschicht (Nickel-Sperrschicht).

Danach wird ein Lötstopplack (grüne Lackschicht der Leiterplatte im Foto) aufgebracht, der die Leiterbahnen abdeckt und nur die Lötstellen frei lässt. Damit lassen sich Lötfehler vermeiden, beim Schwalllöten spart man Zinn und die Leiterbahnen werden vor Korrosion geschützt. Die frei bleibenden Lötstellen (Pads und Lötaugen) können mit einem physikalischen Verfahren (*hot air leveling*) mit einer Zinnschicht und zusätzlich mit einem Flussmittel überzogen werden, die besseres Löten ermöglicht.

Lotpaste-Inseln zum Auflöten von SMD-Bauteilen werden mittels einer Lotpasten-Maske aufgebracht. Sie ist aus Metallblech und enthält an den Stellen Löcher, wo Lotpaste hin soll. Die Masken werden durch Laserfeinschneiden hergestellt. Ein weiterer möglicher Verfahrensschritt bei der SMD-Bestückung ist das Aufbringen von Kleberpunkten, die die Fixierung der Bauteile beim Bestücken (Pick and place) bis zum Löten sicherstellt.

Oft tragen Leiterplatten einen per Siebdruck hergestellten Bestückungsdruck, der in Verbindung mit einem Schaltplan Montage und Service erleichtert.

Stanztechnik und Drahtlegetechnik

Zwei weitere wichtige Herstellungsverfahren für Leiterplatten sind die Stanztechnik und Drahtlegetechnik.

In Stanztechnik werden Leiterplatten für sehr große Stückzahlen hergestellt. Die Technik eignet sich nur für einseitige Leiterplatten aus Pertinax oder unverstärkten Kunststoffen. Dabei wird Basismaterial ohne Kupferauflage verwendet, eine Kupferfolie mit einer Klebstoffschicht wird auf das Basismaterial gelegt und dann mit einem Prägestempel die Leiterbahnformen ausgestanzt und gleichzeitig auf das Basismaterial gedrückt. In einem Arbeitsgang werden dabei die Kontur der Leiterplatte und die Bohrungen gestanzt, sowie das Leiterbild ausgestanzt und mit dem Basismaterial verklebt.

Für kleine Serien und für spezielle Anwendungen, die eine hohe Stromfestigkeit der Leiterplatte benötigen, wird die Drahtlegetechnik angewandt. Dabei verlegt eine Maschine isolierte Drähte auf dem Basismaterial, die mittels Ultraschallschweißens sowohl an den Lötstellen angeschlossen, als auch auf der Oberfläche des Basismaterials befestigt werden.

Mit *Nutzen* wird bei der Anfertigung von Leiterplatten das Zusammenfassen mehrerer kleinerer Layouts auf einer großen Platine bezeichnet. Der Begriff stammt aus der Drucktechnik. Die gesamte Verarbeitungskette erfolgt soweit möglich mit diesem Nutzen. Durch geschickte Anordnung unterschiedlicher Entwürfe können die üblicherweise rechteckigen Formate des Basismaterials auch bei abweichenden, beispielsweise L-förmigen Geometrien gut ausgenutzt werden. Für die anschließend erforderliche Zerteilung der Platine ist der Begriff Nutzentrennung gebräuchlich.



4-fach-Nutzen

Siebdruck

Anstelle des fotochemischen Verfahrens kann für die Abdeckung der Leiterzüge vor dem Ätzen auch die Siebdrucktechnik verwendet werden. Diese ist insbesondere für einseitig beschichtetes Material und für einen niedrigen Schwierigkeitsgrad der Leiterplatten geeignet.

Prototypen

Vor der Serienfertigung ist es oft ratsam, eine Schaltung zu testen, ohne die hohen Kosten für die Erstellung der Fotomasken zu riskieren.

Dazu gibt es folgende Möglichkeiten:

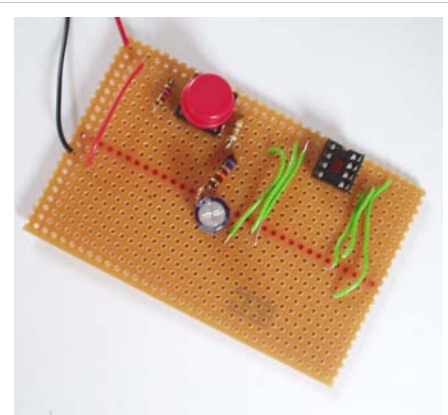
- Fertigung im Pool:

Hersteller bieten die Fertigung von Einzelstücken und Kleinstserien im „Pool“ an, d. h. mehrere Einzelstücke als Nutzen (s. o.) werden auf einer großen Platte gebohrt, durchkontaktiert, belichtet, geätzt und danach ausgefräst.

- Experimentierplatinen:

Lochrasterplatinen weisen Bohrungen oder Lötlöcher (einseitig oder durchkontaktiert) in einem Raster auf, das für Elektronikbauteile üblich ist, also 2,54 mm (manchmal auch 2,5 mm) oder die Hälfte davon. Verbindungen kann man durch Löten mit Schaltdraht, in Fädertechnik oder in Wickeltechnik herstellen. Oft sind mehrere Augen bereits durch Leiterbahnen verbunden (z. B. für Betriebsspannungen) oder man hat längere und kürzere Leiterbahnen zur Verfügung, die den in der Praxis vorkommenden Anforderungen möglichst nahe zu kommen versuchen. Auch komplett mit parallelen Leiterbahnen versehene Experimentierplatinen (*Lötstreifenplatine*) sind üblich. Hier muss man Trennungen mit einem Werkzeug herstellen. Weiterhin gibt es kleine Hilfsplatinen für gängige SMD-Gehäuseformen.

- Frästechnik:



Prototypenaufbau auf einer Lochrasterplatine



Zwei Ausführungen von Lochrasterplatinen im Raster 2,54 mm, mit quadratischen bzw. runden Lötpads. Die quadratischen Pads entstanden durch Fräsen und die runden durch Ätzen.

Bei der Frästechnik werden mit einem Fräskopf Trennlinien zwischen den Leiterflächen hergestellt. Dabei bleibt alles Kupfer stehen, außer den Trennlinien. Die nasschemischen und fotolithografischen Schritte entfallen. Mit CAD-Software können meist auch die Fräsdaten ausgegeben werden, so dass Prototypen in einigen Minuten zu fertigen sind (Inselverfahren).

- Tonertransfermethode:

Dabei wird das Layout mit einem Schwarzweiß-Laserdrucker spiegelverkehrt auf geeignetes Papier gedruckt (Katalogseiten o. ä.) und anschließend mit Bügeleisen oder Laminiergerät auf die Platine „aufgebügelt“. Der Toner wird dabei leicht flüssig und verbindet sich mit dem Kupfer der Platine. Anschließend wird das Papier wieder mit Wasser abgelöst – der Toner verbleibt auf dem Kupfer. Darauf folgt der Ätzvorgang, wobei die *Tonerstellen* stehenbleiben.

Alternativ kann auch mithilfe von gewöhnlichem Druckerpapier und Speiseöl eine "Fotomaske" erzeugt werden. Das Layout wird mit maximaler Schwärzung ausgedruckt und mit dem Öl getränkt, sodass es transparent wird. Die Belichtung kann etwa mithilfe von Sonnenlicht oder einem Solarium erfolgen.

Auch Elektronikbastler verwenden diese Techniken.

Geschichte

Vor der Einführung von Leiterplatten wurden elektronische Schaltungen frei verdrahtet, ggf. unter zusätzlicher Verwendung von Lötleisten. Mechanische Stützpunkte waren dabei Bauteile wie Potentiometer, Drehkondensatoren, Schalter mit ihren Lötösen sowie die Sockel von Elektronenröhren. Je nach Hersteller bemühte man sich um übersichtlich rechtwinklige Anordnung der Bauelemente oder wählte immer die direkte, schräge Verbindung. Da die Bauelemente wie Kondensatoren oder Widerstände damals auch noch sehr groß und lang waren, konnten sie Distanzen von einigen Zentimetern überbrücken.

Geräte dieser Art waren nur von Hand und mit Kenntnis des Verdrahtungsplanes zu fertigen.

Leiterplatten-Vorläufer ab den 1920er Jahren waren gestanzte Leiterzüge, die auf Hartpapier aufgenietet wurden. Bauelemente (Widerstände, Kondensatoren) wurden ohne Lötverbindung zwischen Blechfedern getragen. Paul Eisler, ein Wiener Elektronik-Ingenieur, ließ sich 1943 das Prinzip der gedruckten Leiterplatte patentieren, das aber lange Zeit neben der regulären Handverdrahtung ein eher unbedeutendes Schattendasein fristete. Erst mit der zunehmenden Miniaturisierung der Elektronik nahm die Bedeutung dieser Technik zu.

In der Anfangszeit um 1940 wurden Schaltkreise auch durch Siebdrucken von Silberleitlack auf der Grundplatte hergestellt. Auf Keramiksubstrate gedruckte und eingebrannte Leiterbahnen und Widerstände werden demgegenüber unter dem Begriff Dickschichttechnik geführt.



a) Stück einer unbestückten Lochrasterplatte mit einem Rastermaß von 2,54 mm und b) mit einem Rastermaß von 1,27 mm für den Aufbau von Prototypenschaltungen. In c) ist das kupferkaschierte Basismaterial ohne Leiterbahnen zur Herstellung von elektrischen Schaltungen abgebildet.

Fertigungstechnik

Der Einsatz von Leiterplatten begann Anfang der 1950er Jahre durch die von Fritz Stahl gegründeten Ruwel-Werke in Geldern am Niederrhein. Bis dahin wurden elektronische Bauteile frei verdrahtet, sie hingen also in der Luft und waren nur an den Enden festgelötet, wobei am Chassis befestigte Lötflächen oder die Anschlussflächen der Fassungen von Elektronenröhren als mechanische Stützpunkte dienten. Die Geräte waren nur von Hand und mit Kenntnis des Verdrahtungsplanes zu fertigen.

Bei gedruckten Schaltungen werden dagegen die Anschlussdrähte der Bauteile von oben durch Bohrlöcher durch die Leiterplatte gesteckt (engl. *Through Hole Technology, THT*) – eine auch heute noch weit verbreitete Technik. Auf der Unterseite (Löt-, Leiter- oder L-Seite) befinden sich die Kupferleiterbahnen, an denen sie festgelötet werden. Das erlaubt eine vereinfachte und automatisierbare Fertigung, gleichzeitig sinkt die Fehlerrate bei der Produktion, da Verdrahtungsfehler damit für die Schaltung auf der Leiterplatte ausgeschlossen werden.

Komplexere einlagige Leiterplatten erfordern zusätzliche Verbindungen, die nicht im Layout herstellbar sind. Diese werden durch Lötbrücken mittels abgewinkelter Drähte oder Null-Ohm-Widerstände hergestellt. Letztere lassen sich besser in Bestückungsautomaten einsetzen. Alternativ nutzt man für diese Verbindungen Kupferbahnen auf beiden Seiten der Leiterplatte (doppellagige Leiterplatte, DL). Verbindungen zwischen oberer (Bestückungs- oder B-Seite) und unterer Seite wurden durch Löten eingepresster Stifte oder Nieten erzeugt.

Erst in den 1960er Jahren wurden diese Verbindungen (Durchkontaktierungen, DK, engl. *vias*) durch die Leiterplatte hindurch chemisch durch Metallisierung der Lochwände der Bohrungen erzeugt.

Aus Kostengründen werden auch heute noch einlagige Leiterplatten hergestellt, wenn die Schaltung es erlaubt. Gegenüber einer doppelseitigen, durchkontaktierten Leiterplatte liegen die Kosten für eine gleich große einseitige Leiterplatte bei 25–50 %.

Ein erheblicher Teil der weltweit hergestellten Leiterplatten wird auch heute noch von Hand bestückt, obwohl es bereits seit ca. Mitte der 1970er Jahre Bestückungsautomaten gibt. Moderne Leiterplatten mit hoher Packungsdichte und oberflächenmontierbaren Bauteilen (SMD) können jedoch nicht von Hand bestückt werden. Sogenannte „Pick & place“-Automaten übernehmen die Handhabung der teilweise weniger als 1 mm² großen Bauteile. Zunehmend werden im Anschluss an das Reflowlöten der auf beiden Seiten bestückten SMD, die THT-Bauelemente von Hand bestückt und anschließend selektiv gelötet.



Anlage zur Elektroplattierung



Leiterplatten während ihrer Elektroplattierung

Layout

In den 1960er Jahren zeichnete man das Layout (Leiterbahnen-Struktur) im Maßstab 2:1 mit Tusche oder in Klebetechnik mit Layoutsymbolen und Kleberollen (Brady) auf Rasterfolien. Später erstellte man an Programmierarbeitsplätzen NC-Programme zur Steuerung eines Lichtzeichengerätes, welches den zur Fotolithografie erforderlichen Film herstellte. Danach verwendete man Computer, um die Zeichnungen der verschiedenen Kupfer- und Drucklagen sowie das NC-Steuerprogramm für die Herstellungen der Bohrungen zu erzeugen.

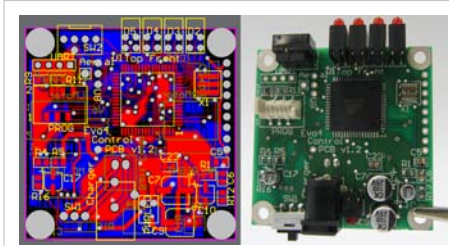
Aktuelle Layoutprogramme für die sog. Electronic Design Automation (EDA) ermöglichen die Erzeugung eines Verbindungsplanes und der entsprechenden Darstellung („Rattennest“) aus einem Stromlaufplan und beinhalten umfangreiche Bauteil-Bibliotheken, in denen für jedes Bauteil auch die Gehäusegeometrien, technische Daten und die Lage und Größe der Löt pads (*Footprint*) enthalten sind. Die automatische Leiterplattenentflechtung anhand eines gegebenen Stromlaufplanes und Vorgabe von Design-Regeln (Platzierung der Bauteile (*Autoplacement*) und Entflechtung (*Autorouting*) der elektrischen Verbindungen) ist heute bei einfachen Leiterplatten Standard. An seine Grenzen stößt dieses Verfahren bei komplexen Leiterplatten, die viel Erfahrung bei der Entflechtung erfordern (z. B. bei Mobiltelefonen). Auch eine Steigerung der Computer-Rechenleistung bringt keine Verbesserung, da die Eingabe der komplexen Design-Vorgaben teilweise mehr Zeit in Anspruch nimmt als die manuelle Entflechtung.

Die Strombelastbarkeit (Stromdichte) von Leiterbahnen ist ein wichtiger Design-Aspekt. Sie kann wesentlich höher als diejenige von Massivdrähten liegen, da das Substrat durch Wärmeleitung kühlt.^[2] Layout-Software kann die Strombelastbarkeit berücksichtigen.

Die kapazitive und induktive Verkopplung der Leiterbahnen, deren Empfänglichkeit gegenüber externen elektromagnetischen Feldern sowie die Abstrahlcharakteristik (Störemission) wird unter dem Sammelbegriff Elektromagnetische Verträglichkeit (EMV) beschrieben. Moderne Software kann inzwischen ansatzweise auch EMV-Aspekte innerhalb der Platine berücksichtigen.

Weitere Aspekte sind:

- Bei hohen Frequenzen und Impuls-Steilheiten ist die Wellenimpedanz der Leiterbahnen von Bedeutung (siehe Streifenleitung).
- Bei analogen Signalen (besonders Audioanwendungen mit hohem Dynamikumfang) müssen Masseschleifen (Erdschleifen, Brummschleifen) vermieden werden, siehe auch Sternpunktterdung.
- Bei hohen elektrischen Spannungen müssen aus Sicherheitsgründen zwischen den Leiterbahnen bestimmte Mindestabstände (Aura) eingehalten werden.

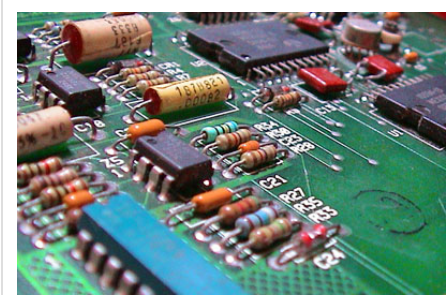


Links das im CAD erstellte Layout einer Leiterplatte, in dem die verschiedenen Lagen mit unterschiedlichen Farben dargestellt sind. Rechts die daraus hergestellte und mit Bauelementen bestückte Leiterplatte mit gut sichtbarem Bestückungsaufdruck.

Leiterplattentechnologien

Ein großer Teil der Leiterplatten in elektronischen Geräten wird auch heute noch aus einseitig kaschiertem Material und mit bedrahteten Bauteilen hergestellt. Mit fortschreitender Miniaturisierung werden auf deren Unterseite zunehmend SMD-Bauteile eingesetzt, während die Durchsteckbauelemente von oben bestückt werden. Die SMD-Bauteile können zusätzlich geklebt sein, so dass sie beim Lötten nicht abfallen.

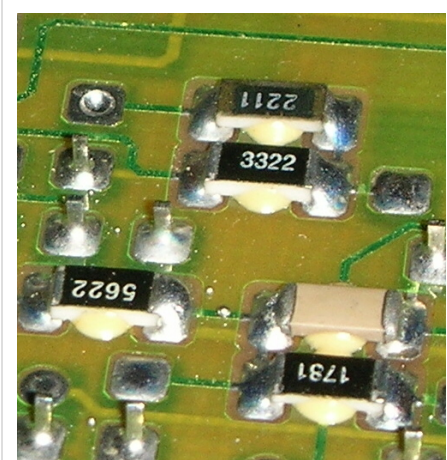
Die teureren durchkontaktierten Platinen sowie noch teurere Mehrlagenplatinen werden bei komplexeren (z. B. Computer), zuverlässigeren (z. B. Industrieelektronik) oder miniaturisierten (z. B. Mobiltelefone) Baugruppen eingesetzt.



Leiterplatte mit bedrahteten Bauelementen

SMD-Leiterplatten

Mitte der 1980er Jahre begann man damit, unbedrahtete Bauteile zu fertigen, die direkt auf die Leiterbahnen zu löten waren. Diese oberflächenmontierten Bauelemente (engl. *Surface Mounted Devices*, kurz *SMD*) ermöglichten es, die Packungsdichte zu erhöhen und trugen zu einer enormen Verkleinerung von elektronischen Geräten bei. Zudem ist es möglich, SMD-Bauteile auf beiden Seiten einer Leiterplatte zu platzieren, dazu werden zunächst die auf der Unterseite (Sekundärseite) anzubringenden Bauteile auf der Platine verklebt, danach der Kleber ausgehärtet und die Leiterplatte umgedreht, um die andere Seite zu bestücken. Der Lötvorgang kann dann entweder im Reflow-Verfahren oder im Schwallbad geschehen, sofern die auf der Unterseite angebrachten Teile geeignet sind, durch die Lotwelle zu laufen. Wird das Lötdepot an SMD-Bauelementen mittels eines Reflowofens aufgeschmolzen, reicht die Kohäsion aus, dass ein Verkleben der SMD-Bauelemente auf der Sekundärseite nicht nötig ist, was weitere Kostenreduzierungen mit sich bringt. (Zu beachten ist lediglich, dass höhere Bauteilgewichte für die Platzierung auf der sekundären Seite der LP ungeeignet sind.)



Ausschnitt einer SMD-Platine

Ein weiterer Grund für die Entwicklung des SMD-Verfahrens waren die stetig steigenden Frequenzen elektronischer Baugruppen. Durch SMD konnten die Leitungslängen und die damit verbundenen parasitären Induktivitäten und Kapazitäten reduziert werden.

Ein wesentlicher Vorteil von SMD-Bauteilen ist auch die einfache Handhabung in automatischen Bestückungssystemen. Bei bedrahteten Bauteilen ist es immer ein wesentliches Problem, mit allen Anschlüssen die Bohrungen zu treffen und die zulässigen Biegeradien der Anschlussdrähte mit einem Biegemaß einzuhalten, weshalb große bedrahtete Bauteile auch heute noch in ansonsten automatisierten Fertigungen von Hand eingesetzt werden.

Ein wesentlicher Vorteil von SMD-Bauteilen ist auch die einfache Handhabung in automatischen Bestückungssystemen. Bei bedrahteten Bauteilen ist es immer ein wesentliches Problem, mit allen Anschlüssen die Bohrungen zu treffen und die zulässigen Biegeradien der Anschlussdrähte mit einem Biegemaß einzuhalten, weshalb große bedrahtete Bauteile auch heute noch in ansonsten automatisierten Fertigungen von Hand eingesetzt werden.

Mehrlagige Platinen

Um der Packungsdichte bei modernen SMD-Bauteilen, insbesondere in Computern, gerecht zu werden, reicht es nicht aus, wenn sich die Leiterbahnen nur auf einer Seite der Leiterplatte befinden. Nach den doppelseitigen Leiterplatten, die auf beiden Seiten der Leiterplatte eine Kupferschicht haben, begann man, mehrere dünnere Leiterplatten mit sog. Prepregs aufeinanderzukleben. Diese mehrlagigen sog. *Multilayer*-Leiterplatten können derzeit bis zu 48 Schichten, in Einzelfällen auch mehr, haben. Üblich sind z. B. vier bis acht Lagen in Computern und bis zu zwölf Lagen in Mobiltelefonen. Die Verbindungen zwischen den Lagen werden mit Durchkontaktierungen („VIAs“)

hergestellt.

In vielen Fällen ist die Verwendung von Multilayer-Leiterplatten auch bei geringerer Packungsdichte notwendig, z. B. um die induktionsarme Stromversorgung aller Bauteile zu gewährleisten.

Bauelemente auf und in Platinen

Einfache passive Bauelemente können in die Platine integriert werden. Induktivitäten, Spulen, kleine Kapazitäten, Kontakte oder Kühlkörper können direkt als Kupferschicht-Struktur ausgebildet werden. Widerstände können mittels spezieller Pasten auf die Oberfläche oder in die verdeckten Layer eingedruckt werden. Dadurch kann man Bauelemente und deren Bestückung einsparen.

Es gibt Platinen, auf oder in denen integrierte Schaltkreise direkt platziert sind (Chip on board, chip in board). Oft sind sie direkt zur Platine gebondet und nur durch einen Tropfen Kunstharz geschützt (engl. Glob Top) (Beispiel: Quarzuhwerke).

Microvia-Technik

Bei Multilayer-Platinen ist die HDI-Leiterplattentechnik inzwischen Standard. Dabei werden Sacklochbohrungen mit 50 µm bis 100 µm Durchmesser mittels Laser oder durch Plasmaätzen in die Außenlagen eingebracht und enden auf dem Kupfer der nächsten – oder übernächsten – Lage. Nach der Reinigung des verbliebenen Harzes werden diese Mikrobohrlöcher wiederum galvanisch verkupfert und somit elektrisch angebunden.

Hier gibt es mehrere Möglichkeiten des Lagenaufbaus,

- je eine Lage symmetrisch,
- eine Lage unsymmetrisch,
- zwei Lagen symmetrisch,
- zwei Lagen unsymmetrisch,
- Microvias über zwei Lagen (stacked via).

Bei Leiterplatten mit hoher Packungsdichte (HDI-PCB, High Density Interconnect) ist die Microvia-Technik notwendig, da wegen des Platzmangels und des geringen Abstandes der Kontakte nicht mehr alle Kontakte z. B. von Ball Grid Array-Bauteilen (BGA) elektrisch angebunden werden könnten. So bindet man die Pads der BGAs an Microviabohrungen an, die auf einer anderen Lage enden und gewährleistet so deren Entflechtung.

Buried-Via-Technik

Die Vias (Durchkontaktierungen) verbinden auch hier zwei oder mehrere Kupferlagen, sind jedoch nur zwischen Innenlagen eingebracht und nicht von der Platinenoberfläche aus zugänglich. Buried Vias (dt.: *vergrabene Durchkontaktierungen*) sind somit erst bei Multilayer-Platinen ab vier Lagen möglich.

Plugged-Via-Technik

Neben Buried- und Micro-Vias besteht auch noch die Möglichkeit, Vias verschließen („pluggen“) zu lassen ^[3]. Mit dieser Technik können Vias direkt in SMD-Pads platziert werden, was z. B. bei BGA-Gehäusen mit kleinen Ballabständen die Entflechtung stark vereinfacht. Die Technik ist allerdings relativ teuer und wird nur selten genutzt, da die Oberfläche zusätzlich geschliffen und poliert werden muss, um überschüssiges Material abzutragen.

Dickkupfer

Die Verwendung von Kupferstärken von 200 µm bis 400 µm wird als Dickkupfer bezeichnet. Sie erlauben höhere Strombelastbarkeiten und lateralen Wärmetransport. Bedingt durch den Ätzprozess lassen sich nur grobe Leiterstrukturen realisieren.

Alternativ kann eine Platine mit geringer Kupferdicke fotolithografisch strukturiert und galvanisch mit Kupfer verstärkt werden. Nachfolgendes Ätzen vermag dann ohne Abdecklack die Leiterzüge freizulegen, so dass nicht die gesamte Kupferdicke, sondern nur die dünne Grundschicht geätzt werden muss.

Eine Weiterentwicklung der Dickkupfertechnik ist die *Eisbergtechnik* (engl.: *iceberg technique*). Dabei werden die noch geschlossenen Kupferlagen in Folienform durch einen photolithographischen Ätzprozess vorstrukturiert: Bereiche, die kein Dickkupfer benötigen, werden dabei auf 20 µm oder 100 µm zurückgeätzt. Die Folien werden dann in das Prepreg eingepresst und konventionell weiterverarbeitet. Die verbleibende geringe Erhebung erlaubt eine feinere Strukturierung und ggf. zuverlässigere Überdeckung mit Lötstopplack.

Wärmemanagement

Thermal Vias verbessern den Wärmetransport senkrecht zur Leiterplatte. Die Wärmeleitfähigkeit von kostengünstigen Basismaterialien wie FR4 mit 0,3 W/m·K ist für eine Entwärmung von Bauelementen zu gering. Thermal Vias sind Durchkontaktierungen, deren primäre Aufgabe in einer Verbesserung der Wärmeleitfähigkeit besteht; sie nutzen den hohen Wärmeleitwert (300 W/m·K) von Kupfer, dem Material der Durchkontaktierung. Durch eine dichte Anordnung, beispielsweise in einem hexagonalen Raster von 0,5 mm und einem Durchmesser der Vias von 0,25 mm, können effektiv bis zu 10 % Kupfer in die Leiterplatte eingebracht werden. Daraus ergibt sich eine Wärmeleitfähigkeit von 30 W/m·K senkrecht zur Leiterplatte.

Metallkern (engl. *metal core*) und Dickkupfer erlauben eine höhere laterale Wärmeleitfähigkeit. Dazu werden Kupfer- oder Aluminiumbleche oder auf bis zu 400 µm verstärkte Kupferlagen in die Leiterplatte eingearbeitet.

In Verbindung mit einem Wärmepastendruck kann so eine Wärmereduktion erreicht und in bestimmten Fällen der Einsatz zusätzlicher Kühlkörper vermieden werden; eine Leiterplatte im Europakartenformat hat durch Konvektion einen Wärmewiderstand von 6 K/W und aufgrund von thermischer Abstrahlung etwa 5 K/W.

Zudem gibt es wassergekühlte Leiterplatten, bei denen vor dem Zusammenbau der einzelnen Lagen feine Nuten an Ober- und Unterseite der Innenlagen gefräst werden. Nach dem Zusammenbau verbleibt hier ein Kanal, durch den Kühlwasser geleitet werden kann.

Neuerdings werden Leiterkarten auch an den Schmalseiten mit einer dünnen Kupferschicht versehen, die zu einer verbesserten Entwärmung dienen kann. Sie kann auch zu einer verringerten Abstrahlung elektromagnetischer Felder beitragen.

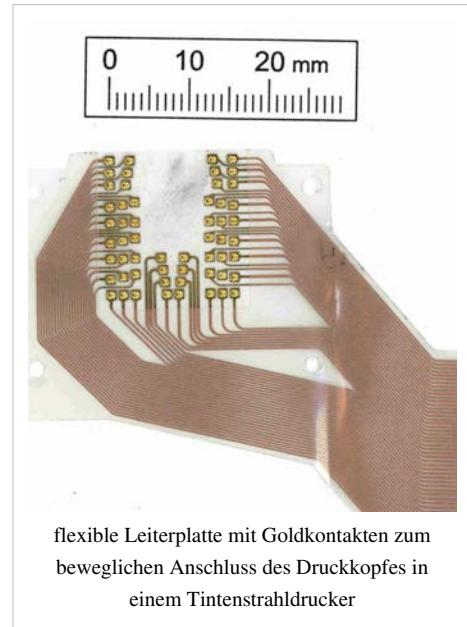
Ein Nebenaspekt im Wärmemanagement betrifft die Wärmeverteilung beim Löten: EDA-Programme setzen gezielt sogenannte Thermal Pads, bei denen die Anbindung an kupfergefüllte Flächen gezielt geschwächt wird, um die Wärme in der Lötstelle zu halten und nicht in die Kupferfläche zu verteilen.

Flexible Leiterplatten

Alternativ zu festen Leiterplatten finden auch dünne Flexleiterplatten z. B. auf Basis von Polyimid-Folien Verwendung. Die damit aufgebauten Flexschaltungen sind zwar teurer, können jedoch platzsparend durch Falten in engsten Strukturen z. B. in Fotoapparaten und Videokameras eingesetzt werden.

Flexible Verbindungen für dauernde Beanspruchung, z. B. in Tintenstrahldruckern, werden häufig ebenfalls als Polyimid-Folien-Leiterplatte ausgebildet.

Wird allerdings nur ein nicht dauerhaft flexibler Bereich in der Leiterplatte benötigt, z. B. um die Montage bei engen Bauraumverhältnissen zu ermöglichen, gibt es den Ansatz, den aus mehreren Prepregs (s. u.) aufgebauten Schichtstapel einer Leiterplatte bis auf wenige Lagen durch Fräsen oder vorgestanzte Prepregs mit ausgesparten Bereichen zu verjüngen. Der verjüngte Bereich wird typischerweise mit einer dauerflexiblen Lackschicht versehen und lässt sich dann wenige Male biegen.



Einpresstechnik und andere Lötalternativen

Als Alternative zum Verlöten der Bauteilanschlüsse auf einer Leiterplatte gibt es die Einpresstechnik. Dabei werden elastische oder starre Stifte in eng tolerierte und metallisierte Bohrungen der Leiterplatte gepresst. Aufgrund der plastischen Verformung der beteiligten Metalle ergeben sich sichere elektrische Verbindungen auch ohne Löten. Als eine Hauptanwendung hat sich das Einpressen von vielpoligen Steckern und Gewindebolzen etabliert. Eine weitere Möglichkeit ergibt sich durch die Verwendung von Klebstoff. Dabei wählt man zwischen elektrisch nichtleitenden bzw. leitfähigen isotropen und anisotropen Klebstoffen. Eine weitere Technik ist das Bonden. Dabei werden gedünnte (flacher geätzte oder geschliffene) Chips ohne Gehäuse auf die Leiterplatte geklebt oder gelötet (Chipbonden) und mittels dünner Drähte mit den entsprechenden Kontakten auf der Leiterplatte verbunden (siehe Drahtbonden). Die auf Leiterplatten gebondeten Chips und Bonddrähte werden durch lichtabsorbierendes Kunstharz geschützt.

Normen und Vorschriften

Zu dem Aufbau und den Eigenschaften von Leiterplatten gibt es vielfältige Vorschriften und Normen. Außer DIN-, IEC- und Normen des Institute for Printed Circuits (IPC) haben große Unternehmen teilweise auch eigene Werksnormen. Neben diesen universellen Normen gibt es für Rack-Systeme standardisierte Abmessungen für Leiterplatten:

- Europakarte (3 HE): $160 \times 100 \text{ mm}^2$ (DIN 41494 Teil 2), an der Schmalseite kontaktiert
- Doppeltes Europakarten-Format (6 HE): $233 \times 160 \text{ mm}^2$, an der Breitseite kontaktiert.

Test

Leiterplatten werden oft noch vor der Auslieferung und Bestückung einer Prüfung unterzogen. Die visuelle Kontrolle zwischen den einzelnen Fertigungsschritten (z. B. vor dem Aufbringen einer weiteren Lage) und am Ende der Fertigung ist bei den Leiterplattenherstellern meist im Preis inbegriffen.

Ein elektrischer Test am Ende der Herstellung ist meist kostenpflichtig und erfordert die kompletten CAD-Daten sowie einen Prüfautomaten, der sämtliche Signalwege kontaktiert und prüft. Bei den Prüfautomaten unterscheidet man zwischen dem *In-Circuit-Tester* und dem *Flying-Prober*. Die *Flying-Prober* haben mehrere einzelne Prüffinger, welche die Leiterplatten abtesten. Diese Technik hat den großen Vorteil, dass keine Adapter zum Kontaktieren benötigt werden und so auch kleine Serien günstig getestet werden können. Als Nachteil zählt die lange Prüfzeit zum Testen und dass mit diesem System meistens keine 100-%iger Test durchgeführt wird (zu lange Prüfzeit). Beim *In-Circuit-Tester* werden die Leiterplatten mit Federstift-bestückten Adaptern oder sehr feinen sogenannten Starnadeladaptern getestet. Diese Technik hat den Vorteil, dass alle Testpunkte auf einmal kontaktiert werden können und so ein sehr schneller Test mit einer 100-%igen Prüftiefe erreicht werden kann. Die heutigen MCA-Microadapter (siehe Starnadeladapter) ermöglichen mit dem *Staggering* das Kontaktieren von feinsten Strukturen der Mikroelektronik. Nachteil sind hier die hohen Adapterkosten erwähnt werden, die aber bei größeren Stückzahlen nicht mehr ins Gewicht fallen.

Fertig bestückte Leiterplatten können ebenfalls mit einem ICT-Testsystem geprüft werden, wofür oft zusätzliche Kontaktinseln layoutet werden, die im späteren Einsatz nicht mehr benötigt werden. Damit keine solchen zusätzlichen Testpunkte generiert werden müssen, kann auch hier ein Starnadeladapter eingesetzt werden, der das Kontaktieren auf Bauteilanschlüsse, Stecker oder sogar Chips ermöglicht.

Oft wird nur eine Funktionskontrolle am Ende der Fertigung durchgeführt, da die Herstellungstechnologie der Leiterplatten selbst sehr viel zuverlässiger als nachfolgende Verfahrensschritte ist.

Durchgangstest

Beim Durchgangstest wird die Leiterplatte auf fehlerhafte und fehlende Verbindungen getestet. Diese Unterbrechungen können durch mechanische Beschädigungen oder durch Filmfehler beim Belichten entstehen.

Funktionsweise

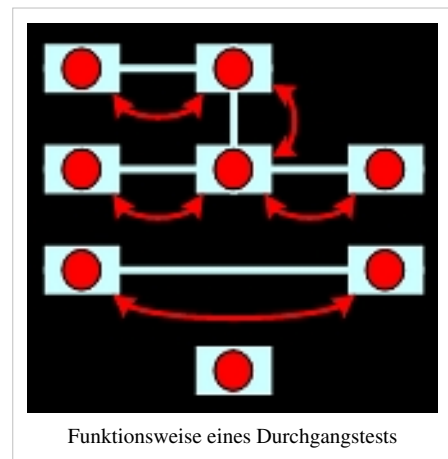
Beim Durchgangstest werden alle zu einem Netz gehörenden Punkte gegeneinander getestet. Bei Einzelpunkten kann keine Verbindung geprüft werden. Durch Schmutz auf den Kontaktierstellen können die Messungen ein hochohmiges Ergebnis zeigen. Mögliche Verschmutzungen sind: Staub, Fräsrückstände oder Oxidation auf der Kontaktierfläche. Durch ein erneutes Kontaktieren (Retest) können diese Phantomfehler (Fehler, die nicht existieren) oft ausgeschlossen werden.

Die Messresultate werden bei zweipoliger Messung produktspezifisch z. B. folgendermaßen klassifiziert:

(Messschwellen sind teilespezifisch zu definieren)

- Messung $< 10 \Omega$ → Gute Verbindung
- Messung $> 10 \Omega$ → Hochohmige Verbindung
- Messung $> 2 M\Omega$ → Unterbrechung

Für Messungen von Verbindungen oder Widerständen unter 10Ω muss oft eine Vierleitermessung eingesetzt werden, dadurch verfälschen die Kabel- und Kontaktwiderstände das Messresultat nicht.



Kurzschlussstest

Ein Kurzschluss ist eine Verbindung zwischen zwei Punkten, die entsprechend der Schaltung nicht bestehen darf. Kurzschlüsse sind Verbindungen, die z. B. durch Zinnfäden, schlechtes Ätzen oder mechanische Beschädigung der Isolationsschicht zwischen den Lagen hervorgerufen werden.

Funktionsweise

Für jedes Netz wird ein Testpunkt als Primärtestpunkt festgelegt. Danach wird zwischen allen Netzen die Isolation gemessen. Wenn eine Leiterplatte 3 Netze hat, wird Netz1 gegen Netz2, Netz1 gegen Netz3 und Netz2 gegen Netz3 gemessen. Sind weitere Netze vorhanden, verhalten sich die Anzahl Messungen nach:

- 2 Netze = 1 Messung
- 3 Netze = 3 Messungen
- 4 Netze = 6 Messungen
- 5 Netze = 10 Messungen
- 6 Netze = 15 Messungen

- $N \text{ Netze} = N \cdot (N-1) / 2 \text{ Messungen}$

Wird beim Durchgangstest eine Unterbrechung festgestellt, wird dort ein weiterer Primärpunkt gesetzt und ein weiteres Sub-Netz generiert (Netz 3a). So kann die Leiterplatte zu 100 % auf Kurzschlüsse getestet werden.

Die Messresultate werden produktspezifisch zum Beispiel folgendermaßen interpretiert:

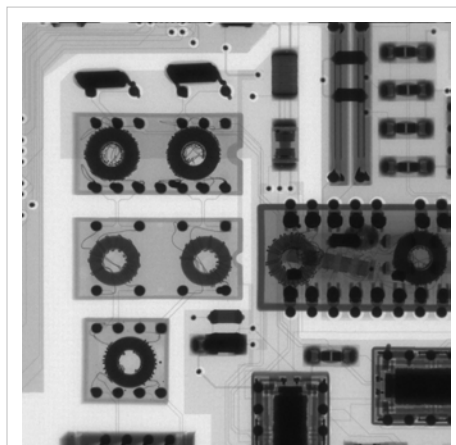
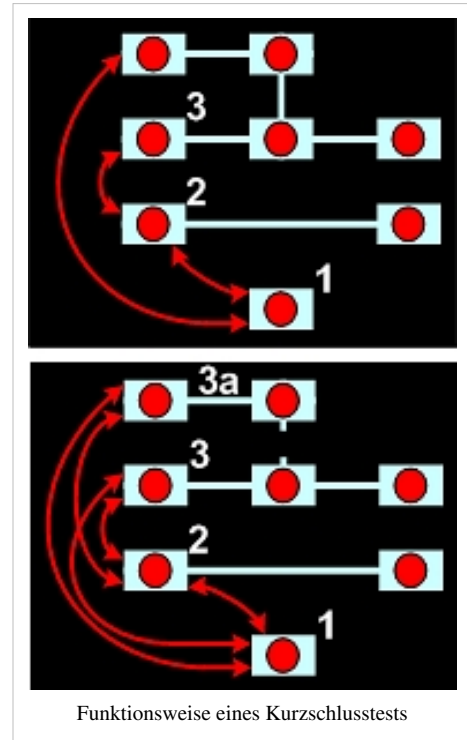
- Messung $> 2 \text{ M}\Omega \rightarrow$ Kein Kurzschluss
- Messung $< 2 \text{ M}\Omega \rightarrow$ Hochohmiger Kurzschluss
- Messung $< 100 \Omega \rightarrow$ Kurzschluss

Röntgentest

Vor allem bei mehrlagigen Platinen werden auch Röntgenaufnahmen eingesetzt, um eine visuelle Prüfung durchführen zu können, zum Beispiel der Passgenauigkeit der verschiedenen Lagen.

Belastung von Leiterbahnstrukturen mit großen Strömen

Häufig, besonders in Dickschicht-Hybridtechnik, besteht die Notwendigkeit, unbestückte Leiterplatten mit größerem Prüfstrom auf Einengungen, schlechte Durchkontaktierungen usw. zu testen. Solche Fehlerstellen werden dann zerstört und können als Unterbrechung erkannt werden. Ein zerstörungsfreies Mittel zur Prüfung von Leiterplatten auch im Betrieb ist die Thermografie.



Röntgenaufnahme (Ausschnitte) einer Token-Ring-Netzwerkkarte, verschiedene Vergrößerungen

Leiterplatten-Basismaterial

Gängige Basismaterialien

Bezeichnung	Verstärkung	Matrix	Kostenvergleich mit FR4	Erweichungspunkt Tg ¹	max. Betriebstemperatur ²	Dielektrizitätszahl	Isolationswiderstand	Kriechstromverhalten	Verlustwinkel ^[4]
FR2	Papier	Phenolharz	0,3	80 °C	70 °C	4,25	--	--	0,05
FR3	Papier	Epoxidharz (Epoxy)	0,6	100 °C	90 °C		+ -	+ -	0,041
CEM1	Papier	Epoxy	0,7				+ -	+ -	0,031
CEM3	Glasvlies	Epoxy	0,8				+	+	
FR4 Standard	Glasfasergewebe	Di/Tetra-Epoxy	1,0	125-150 °C	115-140 °C	3,8...4,5	+	+	0,019
FR4 Halogenfrei	Glasfasergewebe	Di/Tetra-Epoxy	1,3	125-180 °C	115-170 °C	3,8...4,5	+	+	0,019
FR5	Glasfasergewebe	Tetra/Multi-Epoxy	1,5	150-185 °C	140-175 °C				0,016
FR5 BT	Glasfasergewebe	BT-Epoxy	3	190-240 °C ^{[5] [6]}					
Polyimid	ohne oder Glasfasern	Polyimid	3,32...4,38	240-270 °C	230-260 °C		+	+	
Teflon (PTFE)	ohne oder Glasfasern		8	260-320 °C	250-310 °C	2...2,28	++	++	0,0009 (10GHz ^[7]) bis 0,03 (10GHz ^[8])
Keramik (Aluminiumoxid)	-		8	nicht relevant	nicht relevant	7 (4,5...8,4 ^[9]) 8 ^[10])	++	++	

¹ auch Glasübergangstemperatur Tg (engl: Glass Transition Temperature)

² max. Betriebstemperatur: Oberhalb der Glasübergangstemperatur steigt der Längenausdehnungskoeffizient stark an und kann Leiterbahnrisse bewirken. Daher muss die maximale Betriebstemperatur deutlich unterhalb Tg bleiben, empfohlen sind Abhilfe: merklich 5 oder besser 10 K. Daneben muss aber auch die maximal zulässige Temperatur für die Lötstellen beachtet werden.

Wichtige Kenndaten:

- Thermische Eigenschaften
- Elektrische Eigenschaften
- Mechanische Eigenschaften
- Chemische Eigenschaften

Basismaterialherstellung einer Leiterplatte

In der Imprägnieranlage werden zunächst das Grundharz, Lösungsmittel, Härter, Beschleuniger gemischt. Dem können noch andere Stoffe zugesetzt werden, wie z. B. Farbpigmente, Flammschutzmittel und Flexibilisatoren. Die Trägerstoffe (z. B. Papier, Glasgewebe, Aramidgewebe) werden in Rollen angeliefert, so dass der Prozess fortlaufend durchgeführt werden kann. Nachdem der Träger über Umlenkrollen durch das Bad gezogen wurde (Tränkung), wird das Material im Ofen getrocknet. Dabei verdunstet nicht nur das Lösungsmittel, sondern auch das Harz erreicht durch die Wärmezufuhr einen Zwischenzustand – das Harz härtet noch nicht vollständig aus, bei erneuter Wärmezufuhr wird es zunächst wieder klebrig und härtet erst dann aus. Dieses Halbzeug aus Harz und Träger nennt man Prepreg. Es wird zur Herstellung der Leiterplatten verwendet, indem die Lagen unter Wärmeeinfluss verpresst werden. Bei Multilayer-Leiterplatten werden mehrere Schichten Basismaterial und Kupfer nacheinander verpresst und geätzt.

Verbindungen

Mechanische Verbindungen

Bei der Montage von Platinen in einem Gehäuse muss zwischen der ggf. metallenen Montagebasis und der Platine ein Abstand sichergestellt werden. Zum einen, damit keine Kurzschlüsse entstehen, zum anderen, damit die unebene Unterseite der Platine mit den vielen Lötunkten und teilweise hervorstehenden Drahtenden nicht direkt aufliegt, was zu mechanischen Spannungen führen würde. Dazu verwendet man u. a. lange Gewindeschrauben mit Abstandshaltern und Muttern oder Kunststoffelemente, die in Löcher in der Platine und auf der anderen Seite im Gehäuse eingeklipst werden. Manchmal übernimmt auch die im Folgenden beschriebene elektrische Verbindung den mechanischen Part mit.

Elektrische Verbindungen

Wenn die Leiterplatte eine Steckkarte ist, die auf einer anderen Leiterplatte sitzt, verwendet man meist direkte Steckverbinder und Federleisten.

Andere vielpolige Kabelverbindungen werden über Leitgummi oder über Steckerleisten und Stiftleisten realisiert, wobei die Kontakte in einer oder auch mehreren Reihen angeordnet sein können. Wenn es nur um wenige Pole geht, werden auch Federleisten oder kleine Buchsen- oder Kupplungsteile auf Lötstifte aufgesteckt.

In speziellen Umgebungen wie beispielsweise innerhalb mechanischer Fotoapparate wählt man Folienverbinder, die praktisch biegsame Leiterplatten darstellen, ggf. mit direkten Steckverbindern an einem oder beiden Enden oder alternativ direkter Verlötung.

Literatur

- Günther Hermann (Hrsg.): *Handbuch der Leiterplattentechnik – Laminate - Manufacturing - Assembly - Test*. 2. Auflage. Eugen G. Leuze Verlag, Saulgau/Württ. 1982, ISBN 3-87480-005-9
- Günther Hermann (Hrsg.): *Handbuch der Leiterplattentechnik – Band 2: Neue Verfahren, neue Technologien*. Eugen G. Leuze Verlag, Saulgau/Württ. 1991, ISBN 3-87480-056-3
- Günther Hermann (Hrsg.): *Handbuch der Leiterplattentechnik – Band 3: Leiterplattentechnik, Herstellung und Verarbeitung, Produkthaftung, Umweltschutztechnik mit Entsorgung*. Eugen G. Leuze Verlag, Saulgau/Württ. 1993, ISBN 3-87480-091-1
- Günther Hermann (Hrsg.): *Handbuch der Leiterplattentechnik – Band 4: Mit 112 Tabellen*. Eugen G. Leuze Verlag, Saulgau/Württ. 2003, ISBN 3-87480-184-5
- H.-J. Hanke (Hrsg.): *Baugruppenttechnologie der Elektronik – Leiterplatten*. Technik Verlag, Berlin 1994, ISBN 3-341-01097-1

Weblinks

- Günstige Platinenherstellung mit einfachen Mitteln ^[11]
- Platinen mit der „Direkt-Toner-Methode“ ätzen ^[12]
- Ausführliche Anleitung zum Herstellen (Ätzverfahren) von Leiterplatten ^[13]
- Professionelle Beschaffung von Leiterplatten ^[14] (PDF-Datei)

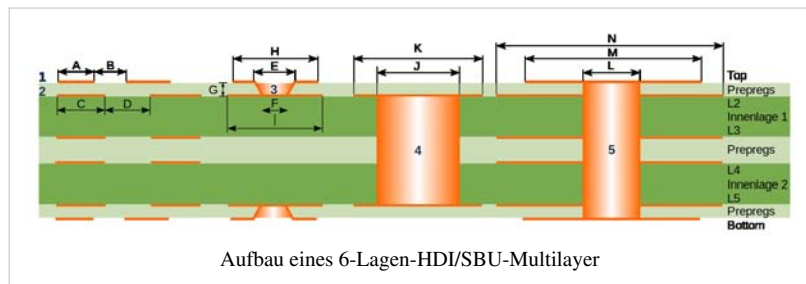
Einzelnachweise

- [1] Forschungszentrum Karlsruhe 1996 *Stoffströme bei der Herstellung von Leiterplatten* (<http://www.ubka.uni-karlsruhe.de/cgi-bin/psview?document=fzk/5854&format=0&page=71>)
- [2] Belastbarkeit von Leiterbahnen mit großen Strömen (http://www.microcontact.ch/index.php?option=com_content&view=article&id=127&Itemid=140&lang=de)
- [3] *ILFA Feinstleitertechnik* (<http://www.ilfa.de>) *Design Regeln Pluggen* (http://www.ilfa.de/download/C/pb-id=wd9c8385f57da82cb632d52cabe12bcbaea86247e9ci8/1235/pluggen_drc.pdf) mit Prozessbeschreibung und Abbildungen
- [4] <http://www.fs-leiterplatten.de/technik/materialien/basismaterialien/> Angaben bei 1 MHz
- [5] Alternative board materials (Englisch) (http://www.ami.ac.uk/courses/topics/0233_abm/index.html)
- [6] Unicircuit: High Tg (Glass Transition Temperature) (<http://www.unicircuit.com/technology/materials/high-tg--glass-transition-temperature-.html>)
- [7] <http://www.mauritz-hamburg.de/produkte/rogers/?product=RT/duroid%205880&Duroid%205880>, glasfaserverstärkt
- [8] [http://www.mauritz-hamburg.de/produkte/rogers/?product=RT/duroid%205880&40µ Klebefilm für Multilayer Leiterplatten](http://www.mauritz-hamburg.de/produkte/rogers/?product=RT/duroid%205880&40%20Klebefilm%20f%C3%BCr%20Multilayer%20Leiterplatten)
- [9] <http://www.fh-deggendorf.de/et-mt/personal/professoren/brumbi/download/radartechnik.pdf>, 9
- [10] http://www.quick-ohm.de/waermeleitfolien/substrate/tooled_machined.html
- [11] <http://sprut.de/electronic/platinen/index.htm>
- [12] http://thomaspfeifer.net/platinen_aetzen.htm
- [13] <http://pic-projekte.de/aetzen.html>
- [14] http://nibis.ni.schule.de/~bfseta/ed-ld/technologie/vortrag-oberender/oberender%20leiterplatten_bbs_wi.pdf

HDI-Leiterplatte

Die **HDI-Leiterplatte** (*High-Density-Interconnect-Leiterplatte*) ist eine kompakt gestaltete Leiterplatte.

Vorteile gegenüber gewöhnlichen Leiterplatten



Die ständig fortschreitende Miniaturisierung und die immer komplexer benötigten Schaltungen sowie Bauelemente mit hohen Pin-Zahlen bringen die klassischen Multilayer-Platinen immer mehr an die physikalischen Grenzen ihrer Möglichkeiten. HDI-Leiterplatten bieten feinere Leitungsstrukturen und kleinere Durchkontaktierungen. Die Microvias schaffen so Platz und haben zudem bessere elektrische Eigenschaften als klassische „dicke“ Durchkontaktierungen oder Sacklöcher.

Durch die Verpressung weiterer Lagen mit der SBU-Technik (Sequential Build Up) lassen sich Signale auf den inneren Lagen verbinden und entflechten, ohne dabei den Platz für Bauteile mit hoher Pin-Dichte zu blockieren. Mit etwas Erfahrung können mit einem guten Layout diese Bauteile sogar überlappend gegenüber auf der Leiterplatte platziert werden. Dünne Leiterplatten mit 100-µm- und 125-µm-Strukturen ermöglichen dabei impedanzkontrollierte Leitungen für hohe und höchste Frequenzen.

Der Siegeszug der HDI-Leiterplatte startete Ende der 90er mit den Produkten im DECT- und GSM-Mobilfunk-Bereich. 2008 werden weltweit etwa 98 % aller mobilen GSM- und UMTS-Geräte als

HDI-Leiterplatte gefertigt.

Nachteile gegenüber gewöhnlichen Leiterplatten

Aufgrund des komplexeren Herstellungsverfahrens ist man stärker an einen Hersteller gebunden (Beherrschte Fertigungsprozesse, Toleranzen, Schichtdicke, Dielektrizitätszahl des Trägermaterials etc.).

Stichwörter aus dem HDI-Bereich

- HDI (High Density Interconnect): Schaltung mit Microvias und feinsten Strukturen
- SBU (Sequential Build Up): Sequentieller Lagenaufbau; bedingt mindestens zwei Pressvorgänge bei Multilayerschaltungen.
- Buried Via (Vergrabene Durchkontaktierung): In den Kernlagen liegende und außen nicht sichtbare Durchkontaktierung
- Blind Via (Sackloch): Auf einer Innenlage endende Ankontaktierung.
- Microvia: An- oder Durchkontaktierung mit einem Durchmesser unter 200 µm.

Aufbau und Fertigungsschritte

Symbol	Signatur	Beschreibung	Layoutvorgaben	Bemerkung
1	Außenlagenstrukturen			
	A	Außenlagenstruktur	> 75 µm	Abhängig von der Cu-Dicke
	B	Leiterbahnabstand	> 75 µm	Abhängig von der Cu-Dicke
2	Innenlagenstruktur			
	C	Leiterbahnbreite	> 75 µm	Abhängig von der Cu-Dicke
	D	Leiterbahnabstand	> 75 µm	Abhängig von der Cu-Dicke
3	Microvias von Top auf L2, Standard- o. kon. Micro Drill Werkzeug			
	E	Hole-Durchmesser Eintritt	> 100 µm	Wenn konisch, dann abhängig von Bohrtiefe (Dielektrikumsdicke)
	F	Hole-Durchmesser Targetpad	> 100 µm	Wird durch Werkzeug definiert
	G	Bohrtiefe	Abhängig von Dielektrikumsdicke	Aspect Ratio > 1:1 beachten!
	H	Microvia Eintrittspad	> E + 200 µm	Umlaufend 100 µm um Bohrung nötig
	I	Microvia Landepad	> 350 µm	F + 125 µm umlaufend um Hole-Durchmesser auf Landepad
4	Buried Via von L2 auf L5			
	J	Bohrdurchmesser	> 150 µm	Aspect Ratio > 1:8 beachten!
	K	Paddurchmesser	> L + 200 µm	
5	Durchgangsloch			
	L	Bohrdurchmesser	> 150 µm	Aspect Ratio > 1:8 beachten!
	M	Paddurchmesser Außenlagen	> L + 200 µm	Umlaufend 100 µm um Bohrung nötig

	N	Paddurchmesser Innenlagen	> L + 250 µm	Umlaufend 125 µm um Bohrung nötig
--	---	---------------------------	--------------	-----------------------------------

Fertigung eines 6-Lagen- HDI/SBU-Multilayer

1. Strukturen der Innenlagen 1 und 2 fertigen mit L2+L3 und L4+L5 (vgl. Bild oben)
2. Verpressen der Innenlagen 1 und 2 mit den innen liegenden Prepregs zu einem Multilayer-Kern
3. Bohren der Buried Vias als durchgehende Bohrungen (4)
4. Durchkontaktierung des Multilayer-Kerns (L2 bis L5)
5. Hole Plugging (optional): Füllen der Hülse 4 mit Füllmaterial und anschließendes Planschleifen
6. Strukturieren des Kerns (Lagen 2 und 5)
7. Verpressen mit den außen liegenden Prepreg-Laminaten
8. Bohren der Microvias 3 und der Durchkontaktierungen 5
9. Fertigstellen (Strukturieren, Kontaktieren, Außenflächenbehandlung) wie eine gewöhnliche Multilayer
10. Oberflächenfinish (empfehlenswert: chemisch Zinn oder chemisch Nickel/Gold)

Je nach den gewünschten Eigenschaften und nach der Lage und Art der Kontaktierungen sind mehrere Varianten des Aufbaus für eine bestimmte Lagenanzahl möglich.

Prüfen von HDI-Leiterplatten

Kleinere Serien

Kleinere Serien werden am wirtschaftlichsten mit Fingertestern (auch als *Flying-Probe-Tester* bekannt) geprüft, welche die Testpunkte optisch erfassen können und so ihre Prüffinger exakt auf die Pads auslenken können. Ein Vorteil ist dabei, dass der Fingertester einfach auf ein neues Produkt umgelernt werden kann. So können kleine Serien auch kostengünstig geprüft werden. Nachteil dabei ist, dass das Prüfen einer Leiterplatte mehrere Minuten in Anspruch nehmen kann, wenn viele Verbindungen zu prüfen sind. Oft werden aus Zeitgründen nur Impedanzmessungen gemacht und so wird der Prüfling nicht einer 100%-Prüfung unterzogen.

Größere Serien

Bei größeren Serien (teilweise schon ab 50 bis 100 Leiterplatten) ist der Einsatz von einem Starnadeladapter sinnvoll. Dabei werden die Leiterplatten unter einem PRS (Kamerasystem) ausgemessen (auf Schrumpfung, Dehnung, Kissenform, Tonnenform, Verdrehung und Versatz zwischen dem Top- und Bottom- Layer). Anhand dieser Korrekturwerte wird dann die HDI-Leiterplatte in der Kontaktierung positioniert und mit dem Starnadeladapter kontaktiert und geprüft. Mit den feinen Starnadeln können 70 µm Strukturen kontaktiert werden, welche einen Prüfabstand > 150 µm aufweisen. Das Konzept dieser Adapter ermöglicht es auch, bis 280 Testpunkte pro cm² aufzulösen, wodurch eine sehr hohe Prüfdichte erreicht werden kann.

Vorteile sind:

- Das Prüfen mit Starnadeladaptern ist sehr schnell, so dass auch größere Serien schnell geprüft werden können.
- Die HDI-Leiterplatten werden einer 100%-Prüfung unterzogen
- Mit den Starnadeladaptern können auch bestückte HDI Leiterplatten kontaktiert werden, wodurch so auch ein Funktionstest vollzogen werden kann.

Nachteil ist, dass die Starnadeladapter produktspezifisch hergestellt werden müssen, wodurch pro Leiterplattentyp Adapterkosten entstehen.

Weblinks

- mikrotechnische-produktion.de ^[1] (PDF-Datei; 147 kB)
- mikrotechnische-produktion.de ^[2] (PDF-Datei; 410 kB)
- mikrotechnische-produktion.de ^[3] (PDF-Datei; 278 kB)
- zdnet.de ^[4]
- Fachbeiträge und Design Rules der Firma Würth Elektronik ^[5]
- FED-Vortrag zu HDI ^[6] (PDF-Datei; 6,59 MB)
- Zeitschrift productronic, 06/2002: *Kostengünstig in die dritte Dimension* ^[7] (PDF-Datei; 49 kB)
- Grundlagen und Praxistipps für das fertigungsgerechte Design von HDI- und Mikrovia Leiterplatten ^[8]

Referenzen

- [1] <http://www.mikrotechnische-produktion.de/uploads/media/GMM1Vogt.pdf>
 [2] <http://www.mikrotechnische-produktion.de/uploads/media/GMM2Vogt.pdf>
 [3] <http://www.mikrotechnische-produktion.de/uploads/media/GMM3Vogt.pdf>
 [4] <http://www.zdnet.de/news/hardware/0,39023109,2098502,00.htm>
 [5] http://www.we-online.de/web/de/cbt/produkte_3/microvia__hdi/Einleitung_23.php
 [6] http://www.fed.de/downloads/0704_Vortrag_HDI-Leiterplatten_Wuerth.pdf
 [7] <http://www.all-electronics.de/ai/resources/6bb61d2c52f.pdf>
 [8] <http://www.elektronikpraxis.vogel.de/hdi-leiterplatten/>

Leiterplattenbestückung

Die **Leiterplattenbestückung** ist ein Teilbereich von Electronic Manufacturing Services und umfasst das zumeist Setzen und Löten von verschiedenen elektronischen Bauelementen auf eine leere, unbestückte Leiterplatte (Rohplatte) ^[1] durch spezifische Setz- und Lötverfahren.

Geschichte

Die *Leiterplattenbestückung* gewann ab den 1950er und 1960er Jahren bei der Fließbandfertigung von Rundfunk- und Fernsehgeräten in Massenproduktion an Bedeutung. ^[2] Viele Produktionsschritte waren bereits automatisiert. Die eigentliche Bestückung der Leiterplatten erfolgte jedoch in Handarbeit. Die Anschlussdrähte der Bauteile wurden durch vorher in die Leiterplatten gebohrte Löcher gesteckt und verlötet. Man bezeichnet dieses Fertigungsverfahren als PTH-Bestückung (englisch *pin through hole*) oder als THT-Bestückung (englisch *through hole technology*). Heutzutage assoziiert der Großteil mit dem Begriff Leiterplattenbestückung jedoch eine (voll-)automatisierte SMT-Bestückung (englisch *surface mounted technology*). Diese wurde erst ab Ende der 1980er Jahre durch den technologischen Fortschritt und das Aufkommen computergestützter Bestückungstechniken ermöglicht. ^[3]



Handlöten von Kabeln und
Leiterplattenverbindern



SMT-Bestückung und SMD-Löten mit Hilfe
einer vollautomatischen SMD-Bestückungslinie

Arbeitsablauf / Verfahren

Schablonendruck: Mittels einer Schablonendruck-Platte, einer speziell angefertigten Schablone mit Aussparungen für die einzelnen Pads kann die Lotpaste mittels Siebdruck-Verfahren über die Schablone gezogen werden und somit das Lot an den entsprechenden Stellen aufgetragen werden.

- *vollautomatisch / verkettet*
- *halbautomatisch*

Bestückungsverfahren: Bei der Leiterplattenbestückung können prinzipiell zwei verschiedene Verfahren unterschieden werden: die SMT-Bestückung (englisch *surface mounted technology*) und die THT-Bestückung (englisch *through hole technology*).

Die SMT-Bestückung erfolgt dabei meist vollautomatisch und kommt für alle kleinen Bauelemente, wie Widerstände, Kondensatoren und Mikrocontroller (ICs), die meist in großer Anzahl bestückt werden, zum Einsatz.

Die THT-Bestückung muss, aus technischen Gründen (beide Seiten bereits per SMT-Bestückung bestückt) und um Schäden an den bereits aufgelöteten Bauelementen zu vermeiden (z. B. bei Aluminium-Elektrolytkondensatoren oder Kunststoff-Folienkondensatoren), teilweise von Hand vorgenommen werden und kommt zumeist bei anzulötenden Leiterplattenverbindern, Steckerleisten und Kabeln zum Einsatz.

Lötverfahren:

- Reflow-Löten bzw. Wiederaufschmelzlöten
- Dampfphasenlöten
- Wellenlöten bzw. Schwalllöten

Montage:

- Nutzentrennung mittels Nutzentrenner
- Vergussdosierung mittels Dispenser bzw. Dosierer
- Schutzlackierung bzw. Lötstopplack

Prüfung:

- Automatische Optische Inspektion (AOI)
- Funktionstest

Beschriftung:

- Laserdruck
- Etikettendruck

Weblinks

- ITM Consulting - kurze, englische Definition des "pick-and-place" Verfahren ^[4] - Abgerufen am 18. Juli 2011

Literatur

- Volker Wittke: *Die diskontinuierliche Entwicklung der deutschen Elektroindustrie von den Anfängen der "großen Industrie" bis zur Entfaltung des Fordismus (1880-1975)* In *Wie entstand industrielle Massenproduktion?* Edition Sigma, 1966, S. 153.
- Klaus Feldmann: *Design, Konzepte, Strategien In: Montage in der Leistungselektronik für globale Märkte.* Springer, Berlin 2009. ISBN 978-3-540-87970-1, S. 103.

Einzelnachweise

- [1] Hans-Otto Günther, Horst Tempelmeier: *Produktion Und Logistik*. 6. Auflage, Springer, Berlin/Heidelberg/New York 2005, ISBN 3-540-23246-X, S. 24.
- [2] Volker Wittke: *Die diskontinuierliche Entwicklung der deutschen Elektroindustrie von den Anfängen der "großen Industrie" bis zur Entfaltung des Fordismus (1880-1975)* In *Wie entstand industrielle Massenproduktion?*, Edition Sigma, 1966, S. 153.
- [3] Boy Lühje: *Standort Silicon Valley: Ökonomie und Politik der vernetzten Massenproduktion*. Campus, Frankfurt am Main 2001, ISBN 3-593-36748-3, S. 106.
- [4] <http://www.itmconsulting.org/pnp.html>

Reflow-Löten

Der Begriff **Reflow-Löten** oder **Wiederaufschmelzlöten** (engl.: *reflow soldering*) bezeichnet ein in der Elektrotechnik gängiges Weichlötverfahren zum Löten von SMD-Bauteilen. Bei der Herstellung von Dickschicht-Hybridschaltungen ist es das häufigste Lötverfahren.

Lötvorgang

- Im ersten Schritt wird beim Reflow-Löten das Weichlot in Form von Lötpaste *vor* der Bestückung auf die Platine/Leiterplatte aufgetragen. Hierin liegt der Hauptunterschied zu anderen Lötverfahren, wie LötKolbenlöten, Tauchlöten oder Wellenlöten. Es gibt verschiedene Möglichkeiten des Lotauftrags, z. B. mittels Schablonendruck (Siebdruck), Dispenser, durch Lotformteile (Preforms) oder auch galvanisch.
- Im nächsten Schritt werden dann die Bauteile bestückt. Die Verwendung von Lötpaste hat den Vorteil, dass diese klebrig ist und so die Bauteile bei der Bestückung direkt an der Paste halten. Sie müssen also nicht eigens aufgeklebt werden.
- Beim Aufschmelzen des verbleiten Lotes zentrieren sich die bestückten Bauteile durch die Oberflächenspannung auf den Landepads und setzen sich ab. Bei bleifreien Loten (z. B. SnAgCu) entfällt dieser Effekt fast vollständig (siehe auch RoHS).



Reflow-Lötofen

Mögliche Lötfehler, die bei dem Reflow-Löten auftreten können, sind der Wicking-Effekt, das Verschwimmen und der Grabsteineffekt.

Gängige Reflow-Lötverfahren

Heizplatte

Das mit Bauelementen bestückte Trägersubstrat wird auf eine Heizplatte gelegt und aufgeheizt. Nachdem das Lot gleichmäßig geschmolzen ist, wird das Trägersubstrat von der Platte genommen. Dieses Verfahren kann bei anorganischen Trägersubstraten eingesetzt werden. Hierbei wird das gesamte Trägersubstrat auf Löttemperatur gebracht. Organische Träger sind normalerweise infolge ihrer Glasübergangstemperatur (z. B. Glasübergangstemperatur bei Standardleiterplatte ca. 140 °C) für das Kontaktlötverfahren auf der Heizplatte nicht geeignet. Es ist beim Kontaktlötverfahren einseitige Bestückung möglich. Es gibt Systeme, bei denen das bestückte Trägersubstrat durch ein gleichzeitig angewendetes Vakuumverfahren lunkerfreie und daher extrem zuverlässige Lötverbindungen aufweist. Hauptanwendungsgebiete des Vakuumkontaktlötens sind das Löten von Leistungshalbleiterchips (Löten ohne gasförmige Einschlüsse), das hermetische Verschließen mittels Löten und das flussmittelfreie Kontaktieren. Durch den Einsatz einer Vakuumkammer kann inertes Prozessgas wie Stickstoff, reduzierendes Prozessgas wie Formiergas, bis 100 % Wasserstoff oder nassaktivierende Ameisensäure geregelt im

Lötprozess eingesetzt werden. Um vollständig rückstandsfrei zu löten, kann im Vakuum eine Plasmaaktivierung während des Lötprozesses angewandt werden. Durch diese Front-End-Tauglichkeit können auch MOEMS, MEMS und auf Wafer-Level reflowgelötet werden. Plasmaunterstütztes Löten bietet auch für das Löten von Leistungshalbleiterchips Vorteile, da der normalerweise nach dem Löten notwendige Reinigungsprozess vor dem Drahtbonden entfällt.

Beheizte Formteile, Bügel und Stempel

Ein auf die Gehäuseform des zu lötenden Bauteils angepasster Stempel oder Bügel wird mit einer Widerstandsheizung erwärmt. Dieser drückt dann die Bauteilanschlüsse auf die Lötstelle und schmilzt das Lot auf. Die Heizung wird dann abgeschaltet und der Stempel erst nach dem Erstarren wieder abgehoben. Die Lötstellen federnder Bauteilanschlüsse können so sicher gelötet werden. In der Regel werden so nur einzelne Bauteile nacheinander gelötet.

Infrarotstrahler

Die zu lötenden Platinen werden in Durchlaufstrecken gelötet. Das Lötgut wird dabei von einem Fördersystem durch einen Ofen gefahren. Der Lötvorgang kann durch die Verweildauer in den verschiedenen Temperaturzonen gesteuert werden. Üblicherweise gibt es vier Zonen, eine zum Aufwärmen der gesamten Schaltung, die zweite zum Aktivieren des Flussmittels, die dritte zum Löten und die vierte zum Abkühlen. Das Reflowlöten mit Infrarotstrahler ist ein einfaches Verfahren, um Platinen in Serie zu fertigen. Nachteilig beim Infrarotstrahler ist die starke Absorption der Strahlungsenergie durch schwarze Bauelemente (IC-Gehäuse) was eine ungleichmäßige Wärmeverteilung zur Folge hat und zur lokalen Überhitzung führen kann.

Beim Vakuumlöten (lunker- und flussmittelfrei) ist die Übertragung der Wärme durch Strahlung, neben der Übertragung der Wärme durch Kontakt die physikalisch einzige Möglichkeit. Übertragung der Wärme durch Konvektion ist im Vakuum wegen des fehlenden Übertragungsmediums nicht möglich. Daher wird beim Vakuumlöten sowohl die Übertragung der Wärme durch Kontakt (Kontaktlöten), als auch die Übertragung durch Strahlung genutzt.

Vollkonvektions-Reflow-Löten

Die Vollkonvektions-Reflow-Lötsysteme ähneln den Infrarotstrahler-Systemen, jedoch wird hierbei Luft erhitzt und über ein Düsensystem an das Lötgut geführt. Dadurch erreicht man eine gleichmäßigere Wärmeverteilung, als es mit Infrarotstrahlern möglich ist. Ein weiterer Vorteil ist die größere Wärmekapazität des Ofens. In der Elektronikfertigung wird dieses Verfahren am häufigsten eingesetzt.

Dampfphase (Kondensationslöten)

Das Dampfphasenlöten, (engl.: vapor phase), nutzt zur Erwärmung der Baugruppe die bei der Phasenänderung eines Wärmeträgermediums vom gasförmigen in den flüssigen Zustand freigesetzte Wärme. Dabei findet eine Kondensation an der Oberfläche des Lötgutes statt bis die gesamte Baugruppe die Temperatur des Dampfes erreicht hat. Siedet die Flüssigkeit, bildet sich über ihr eine gesättigte, chemisch inerte Dampfzone, deren Temperatur mit dem Siedepunkt der Flüssigkeit weitgehend identisch ist, so dass sich eine optimale Schutzgasatmosphäre ausbildet und Oxidationen im Dampfphasen-Lötprozess ausschließt.

Als Wärmeträgermediums werden heute Perfluorpolyether (GALDENT™) eingesetzt. Diese flüssige Polymere sind ausschließlich aus Kohlenstoff (C)-, Fluor (F)- und Sauerstoff (O)-atomen aufgebaut. Die im Molekül vorhandenen C-C- und C-F-Bindungen sind äußerst beständig. Sie zählen zu den stabilsten Bindungen in der Kohlenstoffchemie. Die an die zentrale Polymerkette gebundenen Fluoratome schirmen das Kohlenstoffgrundgerüst perfekt ab und schützen so die empfindlicheren C-C-Bindungen gegen chemische und thermische Angriffe. Sie haben hervorragende Wärmeübertragungskoeffizienten sowie gute dielektrische Eigenschaften. Gegenüber den

FCKW-haltigen Gasen die in der Vergangenheit eingesetzt wurden besitzen (PFPE) kein Ozonschädigungspotential. [1]

Die Wärmeübertragung ist schnell und geometrieunabhängig, es entstehen keine Kaltzonen im Schatten großer Bauteile. Durch die genau definierte Löttemperatur und die gleichförmige Erwärmung ist keine Überhitzung der Bauteile möglich. Dies ermöglicht ein Löten mit gering aktivierten Flussmitteln. Die Anforderung an Vorwärmzonen ist geringer, dadurch sind Dampfphasenlötanlagen meist kompakter als Infrarotöfen. Einsatzschwerpunkt ist die Serienproduktion. [2]

Eine Sonderform des Dampfphasenlötens ist das Vakuumdampfphasenlöten. Diese Technologie steht im industriellen Umfeld etwa seit dem Jahr 2000 zur Verfügung. Nachdem die Lotpaste vollständig aufgeschmolzen ist, wird in der Prozesskammer ein sehr hohes Vakuum erzeugt. Der Unterdruck sorgt dafür, dass gasförmige Einschlüsse in den Lötstellen weitgehend nach außen verdrängt werden und so aus der Lötstelle ausgeschieden werden. Das Ergebnis ist eine weitgehend lunkerfreie Lötstelle. Diese Technologie ist besonders dann von Vorteil, wenn die Lötstellen sehr hohe thermische Verlustleistungen abführen müssen. Einschlüsse in den Lötstellen in Form von Lunkern würden den thermischen Widerstand der Lötstelle deutlich erhöhen. Weiterhin wird die mechanische Belastbarkeit durch die weitgehende Lunkerfreiheit signifikant erhöht.

Laserstrahl

Die Lötstellen werden mit einem Laserstrahl erhitzt, dieser kann punktgenau sehr viel Energie übertragen. Die Lötstelle wird zeitlich (Lötzeit ca. 0,2–0,4 s) und räumlich sehr eng begrenzt erwärmt. Dadurch tritt an den Bauteilen nahezu keine thermische Belastung auf. Ein Ablegieren der Leiterbahnen kann vermieden werden. Aufgrund der hohen Kosten ist dieses Verfahren eigentlich nur in der Massenproduktion oder bei hochempfindlichen Bauteilen rentabel.

Literatur

- Klein Wassink, R. J.: *Weichlöten in der Elektronik*. 2. Auflage. Eugen G. Leuze Verlag, 1991, ISBN 3-87480-066-0.
- Scheel, Wolfgang: *Baugruppenttechnologie der Elektronik*. 1. Auflage. Verlag Technik, 1997, ISBN 3-341-01100-5.
- Bell, Hans: *Reflowlöten : Grundlagen, Verfahren, Temperaturprofile und Lötfehler*. Bad Saulgau: Leuze, 2005. ISBN 3-87480-202-7
- Rahn, Armin: *Bleifrei löten: Ein Leitfaden für die Praxis*. Bad Saulgau: Leuze, 2004. ISBN 3-87480-195-0

Einzelnachweise

[1] <http://www.asscon.de/d/pages/technologie/dampfphasenloeten.html>

[2] http://englert-berlin.de/englert_baugruppen/

Bestückungsautomat

Ein **Bestückungsautomat** ist eine Maschine, die in der Fertigung von Leiterplatten benutzt wird, um Bauelemente auf die Leiterplatte zu platzieren, die danach in einem Lötprozess verlötet werden. Bestückungsautomaten gibt es seit Mitte der 1970er Jahre.

Funktionsweise

Die einzelnen Bauteile werden dem Bestückungsautomaten in seiner Bauteilversorgungsstation („Feeder“) in folgenden Formen zur Verfügung gestellt:

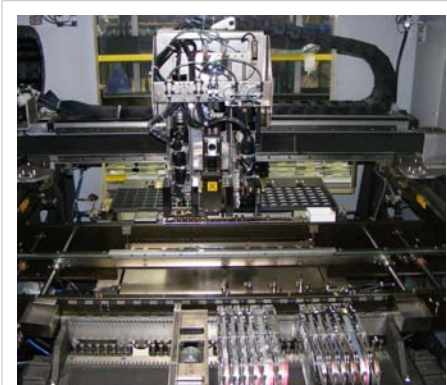
- Blistergurten auf Rollen („Tape & Reel“) für die meisten SMD-Bauelemente,
- Tablettis mit Vertiefungen („Tray“) für größere ICs,
- bei bedrahteten Bauelementen als Gurt („Belt“),
- bei größeren Bauelementen in Kunststoff-Stangen („Tubes“).

Ein Bestückungskopf, der in drei Achsen verfahrbar ist und um die Z-Achse rotieren kann, saugt in der Regel durch Unterdruck ein Bauteil aus dem Gurt/Tray, überprüft die Lage mittels eines Kamerasystems, berechnet Winkel- und Positionsoffset zur Nominalposition und platziert das Bauteil auf der Leiterplatte. Sind alle Bauteile bestückt, wird die Leiterplatte über ein Fördersystem weitertransportiert und eine neue leere Leiterplatte zugeführt.

Zur Vergrößerung des Durchsatzes arbeiten moderne Maschinen mit mehreren Bestücker-Köpfen und sogenannten „Revolver-Köpfen“, die in der Lage sind, mehrere Bauteile aufzunehmen, was die Wegezeit zwischen Auffüllstation und Leiterplatte verringert. Die Leiterplatten liegen normalerweise in Form eines Nutzens vor, auf dem mehrere gleichartige, aber auch unterschiedliche Layouts auf einer großen Leiterplatte in einem Standardformat vereinigt sind, die erst später getrennt werden. Dies verringert die Transportzeit pro Leiterplatte deutlich und erhöht damit den Durchsatz einer Fertigungslinie.

Moderne Bestückungsautomaten ähneln im Prinzip einem Flachbett-Plotter, wobei die Leiterplatte die Stelle des Papiers einnimmt, der Bestückungskopf die des Stiftes und die Bauteilversorgung die des Stiftmagazines. Bei älteren Automaten wurde häufig statt des Bauteils die Leiterplatte bewegt, was aber bei der Verkettung mit den vor- und nachgelagerten Prozessschritten (Pastendruck, Löten) problematischer ist.

Meist sind die Bestückungsautomaten modular ausgelegt, so dass man unterschiedliche Bauteilversorgungsstationen, Bestückerköpfe, Kamerasysteme usw. anbauen kann.



4-Kopf-Bestückungsautomat.



Bestückungsautomat Juki KE-2080L.



v. l. n. r. Bauteilverpackung in Tray, Tube und Tape/Reel

siehe auch

- SIPLACE

Chip-Gehäuse

Chipgehäuse

Die Ummantelung eines (ungehäusten) Halbleiterchips (eines Die) inklusive der Anschlussstellen (Leads, Pins oder Balls) bezeichnet man als **Gehäuse** oder **Package**. Es existieren zahlreiche Variationen solcher Gehäuse, die sich in ihrer Form, den verwendeten Materialien, der Anzahl und Anordnung der Pins und anderen Eigenschaften unterscheiden, siehe auch Liste von Halbleitergehäusen.



ICs in DIP-Gehäusen

Standards

Standardisiert sind die Chipgehäuse durch die JEDEC (früher: Joint Electron Device Engineering Council, heute: JEDEC Solid State Technology Association), dem Halbleiterstandardisierungsgremium der EIA (Electronic Industries Alliance). Grundsätzlich unterscheidet man bei elektronischen Bauteilen zwischen „durchsteckmontierbaren“ (Through Hole Technology – THT) und „oberflächenmontierbaren“ (Surface Mounted Technologys – SMT) Bauformen. (Surface Mounted Devices – SMD) bezieht sich dann auf ein Bauteil der vorgenannten Gruppe.

Funktion

Ein Gehäuse dient dazu, den Halbleiterchip auf einer Leiterplatte zu befestigen und die integrierte Schaltung auf dem Halbleiterchip mit der Schaltung der Leiterplatte zu verbinden. Hauptgründe sind zum einen der Schutz des Dies gegen Beschädigung. Zum anderen sind die unterschiedlichen geometrischen Abstände der elektrischen Anschlüsse auf einem Die und einer Leiterplatte zu überbrücken. Die Pads (Anschlüsse des IC Dies) werden mittels Gold-, Kupfer- oder Aluminiumdraht an ein Zwischenmaterial gebondet (angeschlossen). Dieses Zwischenmaterial ist ein gestanztes Kupferblech (Leadframe) oder eine kleine Leiterplatte, die in dieser Verwendung *Substrat* genannt wird. Neue Technologien verzichten auf Drähte und nutzen die Flip Chip Technologie. Der Anschluss an die Leiterplatte erfolgt schließlich über „Beinchen“ (Pins), die Teil des Leadframes sind, oder über kleine Lotkugeln (Balls).

Nach der Befestigung und Verdrahtung des ICs auf dem Zwischenmaterial wird er durch unterschiedliche Materialien (Kunststoff, Keramik, Metall) hermetisch gegenüber Umwelteinflüsse geschützt. Aus Kostengründen wird heute fast ausschließlich Kunststoff mittels Spritzguss benutzt. Dabei können je nach Typ des Halbleiters auch Öffnungen für Licht (im Fall von EPROMs zum Löschen, im Fall von LEDs oder Laserdioden für den Lichtaustritt) den Blick auf den Halbleiter freigeben. Diese Öffnungen sind in der Regel mittels durchsichtigem Kunststoff oder Quarzglas geschlossen, so dass der Halbleiter nicht direkt der Umwelt ausgesetzt ist. Ausnahme sind Sensoren, die definierte Öffnungen haben, um die Umwelteinflüsse (z. B. Druck, Licht etc.) zu messen.

Zur besseren Wärmeableitung des Chips haben einige Gehäuse Kühlkörper (Heatsinks) eingebaut (insbesondere bei Leistungstransistoren).

Die Pins

Das Raster der Pins wird als Pitch bezeichnet. Da die ersten ICs aus dem anglo-amerikanischen Sprachbereich kamen, waren die Maße auf Zoll-Basis. Das „Grundmaß“ war demzufolge das Zoll und für kleine Maße wurde meist das „mil“ verwendet (ein Tausendstel Zoll = 0,0254 mm oder 25,4 µm). Im Zuge der Internationalisierung setzen sich immer mehr die metrischen Maße durch, so dass typische Pitches heute bei z. B. 0,5 mm liegen.

Die Pins sind in der Regel an den seitlichen Kanten (z. B. DIL) oder der Unterseite (z. B. PGA) des Gehäuses platziert und haben die unterschiedlichsten Formen. Sie werden durch Löten mit der Leiterplatte verbunden, wobei die unterschiedlichen Formen die verschiedenen Lötarten unterstützen. Bauelemente im THT-Gehäuse werden üblicherweise nur auf der Bestückungsseite einer Leiterplatte platziert. Die bestückte Baugruppe wird dann durch Wellenlöten gelötet (die Unterseite der Leiterplatte wird über ein Lotbad gezogen, an dessen Ende das Bad durch eine Stauung eine Welle erzeugt, daher der Name). Durch ein zusätzliches Selektivlöten können THT-Bauelemente auch auf der zweiten Seite der Leiterplatte bestückt und gelötet werden. Dies ist jedoch mit einem zusätzlichen Fertigungsschritt verbunden.

Die SMD-Gehäuse können sowohl auf der Bestückseite als auch auf der Lötseite der Leiterplatte platziert werden. Anschließend werden die Bauelemente im SMD-Gehäuse auf beiden Seiten der Leiterplatte durch Reflow-Löten oder ein Dampfphasenlöten gelötet. Alternativ hierzu die SMD-Bauelemente durch Wellenlöten gelötet werden. Hierbei müssen die Bauelemente auf der Lötseite beim Wellenlöten durch das Lotbad gezogen werden. Dabei dürfen zum Einen die Bauelemente nicht zerstört werden und die Gehäuse müssen die Lötbadtemperatur aushalten. Zum Anderen dürfen die Pins durch das Lot nicht kurzgeschlossen werden. Hier sind die Pinformen und -abstände von entscheidender Bedeutung, so dass sich nur wenige SMD-Bauformen, bei denen die Abstände möglichst groß sind, für diese Art des Lötens eignen. ICs mit Pins auf allen vier Seiten des Gehäuses müssen beim Wellenlöten vorzugsweise diagonal zur Löttrichtung ausgerichtet sein, damit sich möglichst wenige Zinnbrücken bilden.

Manche Formen der Pins eignen sich auch dazu, das IC in eine Fassung zu stecken, so dass das IC nicht mehr gelötet werden muss. (Es muss aber immer noch die Fassung verlötet werden.)

Bei manchen Bauteilen (insbesondere leistungsfähige Mikroprozessoren) ist die Anzahl der Pins derart hoch, dass die Seiten nicht mehr ausreichen, um die Beinchen aufzunehmen. Deshalb haben moderne ICs häufig keine Pins mehr an den Seiten, sondern sie werden mittels Pins oder Lotkugeln an der Unterseite des Gehäuses auf der Leiterplatte befestigt. Bei den Lotkugeln funktioniert dies nur noch per Reflow-Löten. Bei den Pins an der Unterseite wird üblicherweise Wellenlöten eingesetzt.

Verschiedene Typen

Da die JEDEC-Bezeichnungen nicht sehr eingängig sind, haben sich in der Industrie einfachere Abkürzungen durchgesetzt, die man als Quasi-Standard bezeichnen kann. Dabei werden weitestgehend Akronyme benutzt, die die eigentliche Bauform beschreiben.

Anschlusskamm-basierte Gehäuse (engl. lead frame based packages)

Bauformen für Through Hole Technology (THT)

TO

Transistor Single Outline: Verschiedene Gehäuse mit meist zwei bzw. drei Anschlüssen für Kleinleistungs- und Leistungshalbleiter (z. B. TO-220), es existieren auch SMD-Versionen

PFM

Plastic Flange Mount Package: Anschlüsse in einer Reihe unterhalb einer Befestigungslasche, Raster 5,08 bis 1,27 mm

SIP

Single In-Line Package, Gehäuse mit einer Anschlussreihe, meist im Raster 2,54 mm

ZIP

Zigzag Inline Package, Anschlüsse auf einer Seite im Zickzack, Gehäuse steht hochkant

CZIP

ZIP in Keramikgehäuse

DIL

Dual In-Line, Gehäuse mit Anschlüssen an zwei Seiten, meist im Raster 2,54 mm (=100 mil), die „Urform“ der Chipgehäuse

DIP

Dual In-Line Package, wie DIL

PDIP

Plastic Dual In-Line Package, wie DIP im Plastikgehäuse

SDIP

Shrink Dual In-Line Package, wie DIP mit kleineren Abmessungen, Raster 2,54 bis 1,27 mm

CDIP

Glass Sealed Ceramic Dual In-Line Package, wie DIP im Keramikgehäuse

CDIP-SB

Side-Braze Ceramic Dual In-Line Package, wie DIP im Keramikgehäuse

Bauformen für Surface Mounted Device (SMD)

TO bzw. DPAK

Transistor Single Outline: existiert auch als THT-Version, und wird für Leistungstransistoren benutzt (z. B. DPAK/TO252, D2PAK/TO263)

SOD

Small Outline Diode: Für Dioden

SOT

Small Outline Transistor: Für Transistoren

SOT23

3 mm × 1,75 mm × 1,3 mm

SOT223

6,7 mm × 3,7 mm × 1,8 mm mit 4 Anschlüssen, von denen einer als Heatsink verbreitert ist

DFP

Dual Flat Pack, Pins an beiden Längsseiten, Raster 0,65 mm

TFP

Triple Flat Pack, Pins an drei Seiten, Raster 0,8 mm

QFP

Quad Flat Package, Pins an vier Seiten, Raster 1,27 bis 0,4 mm, von diesem Grundtyp wurden verschiedene Derivate abgeleitet, die jeweils einen anderen Buchstaben als Präfix voranstellen:

LQFP

Low Profile Quad Flat Pack, wie QFP, dünnes Gehäuse

TQFP	Thin Quad Flat Pack, wie QFP, dünnes Gehäuse
VQFP	Very Thin Quad Flat Pack, wie QFP, sehr dünnes Gehäuse, Raster 0,8 bis 0,4 mm
HQFP	Thermally Enhanced Quad Flat Pack, wie QFP, thermisch verstärkt
MQFP	Metric Quad Flat Pack, wie QFP, Pins haben metrische Abstände
QFN	Quad Flat No Leads Package, auch als MLF Micro Lead Frame, oder als MFP für Micro lead Frame Package bezeichnet: Die Bezeichnungen umfassen eine ganze Familie von IC-Gehäusen. Es ragen die Pins nicht seitlich über die Abmessungen der Plastikummantelung hinaus, sondern sind nur von der Unterseite zugänglich, damit haben sie einen kleineren Platzbedarf;
VQFN	Very Thin Quad Flat pack No-leads, wie QFN, sehr dünnes Gehäuse
SOP	Small-Outline Package, meist im Raster 1,27 mm
SSOP	Shrink Small Outline Package, kleineres Raster als SOP, meist 0,65 mm, außerdem flacher
TSSOP	Thin Shrink Small Outline Package, flacher als SSOP
TSOP	Thin Small Outline Package, wie SOP, jedoch meist im Raster 0,635 bzw. 0,65 mm
HTSSOP	Heat-Sink Thin Small-Outline Package, wie TSOP, mit Pad zur Wärmeabfuhr oder Metallrücken
TVSOP	Thin Very Small-Outline Package, wie TSOP, dünneres Gehäuse
QSOP	Quarter-Size Small-Outline package, ebenfalls kleiner als SOP, i.d.R. im Raster 0,635 mm
VSOP	Very Small-Outline Package, wie SOP, kleineres Raster
HSOP	Thermally Enhanced Small-Outline Package, wie SOP, thermisch verstärkt
SOJ	J-Leaded Small-Outline Package, die Pins sind unter das Gehäuse gebogen, so dass sie für Sockel geeignet sind
JLCC	J-Leaded Ceramic or Metal Chip Carrier, wie SOJ
PLCC	Plastic Leaded Chip Carrier, wie SOJ

LPCC

Leadless Plastic Chip Carrier, wie PLCC

LCCC

Leadless Ceramic Chip Carrier, wie PLCC im Keramikgehäuse

Substratbasierte Gehäuse

Bauformen für Surface Mounted Device (SMD)

LGA

Land Grid Array, Package mit Kontaktflächen an der Unterseite

TVFLGA

Thin Very-Fine Land Grid Array, wie LGA, mit kleinerem Raster

PGA

Pin Grid Array, Package mit Pins an der Unterseite, sind die Pins versetzt angeordnet spricht man von einem *Staggered Pin Grid Array (SPGA)*

PPGA

Plastic Pin Grid Array, wie PGA im Plastikgehäuse

CPGA

Ceramic Pin Grid Array, wie PGA im Keramikgehäuse

OPGA

Organic Pin Grid Array, wie PGA im „organischen“ Kunststoffgehäuse

FCPGA

Flip-Chip Pin Grid Array

BGA

Ball Grid Array, Package mit kleinen Lotkugelchen an der Unterseite

FBGA

Fine Pitch BGA, BGA-Package mit verringertem Löt punktabstand

CBGA

Ceramic Ball Grid Array, wie BGA im Keramikgehäuse

MAPBGA

Mold Array Process BGA

CSP

Chip Scale Package, besonders kleine Form des BGA

HSBGA

Heat Slug Ball Grid Array

CCGA

Ceramic Column Grid Array, höhere Zuverlässigkeit durch Zylinderförmige Anschlüsse statt Kugeln

Spezialformen

TCP

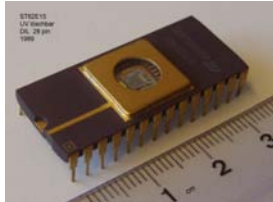
Tape Carrier Package Die mittels Bumps auf kupferkaschierter Folie

Galerie

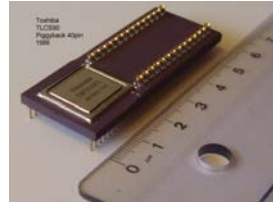
verschiedene Chipgehäuse



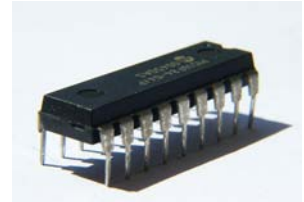
SIL9 TDA4601 mit Kühlblech



DIL28 UV ST6E15 1989



Piggyback40 Toshiba TLCS90 Family 1988



DIL18 Microchip PIC16F84



DIL28 Atmel AT90S2333



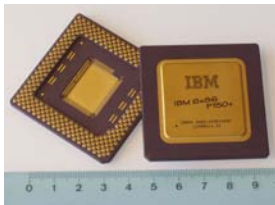
ZIP19(20) Toshiba DRAM 514256 1990



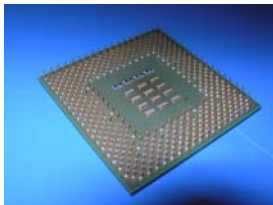
ZIP28 Toshiba VideoRAM 524256 1992



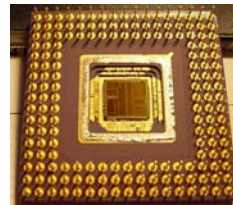
TO-5 Metallgehäuse, OPV 1979



PGA 6x86 IBM



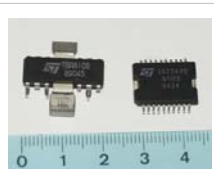
PGA AMD



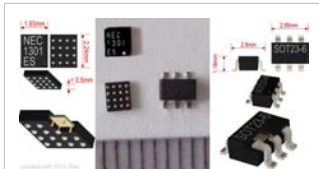
PGA 486DX2 AMD, geöffnet mit Blick auf den Die



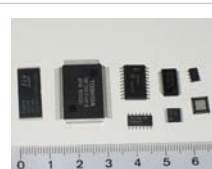
CPGA und PPGA der Pentium-Familie



Power-DIP, Power-SO



BGA16 (NEC 78K0S) und SOT23-6 (Microchip PIC)



verschiedene SMD-Bauteile



SO20 UV ST6E20 1992



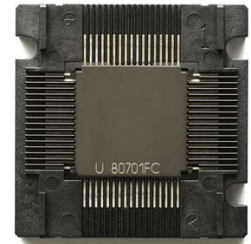
CRQFP80 UV erasable
ST62E40 1993



TQFP216 AMD Am286LX/ZX
(SoC)



bumped TQFP132 beim Intel
i386SL



U80701 im CQFP-Gehäuse mit
Träger.



PLCC20(28) IBM
Memory 1991



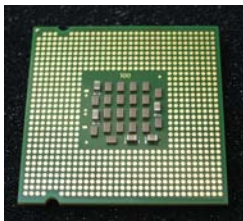
PLCC68 80286 Siemens
1989



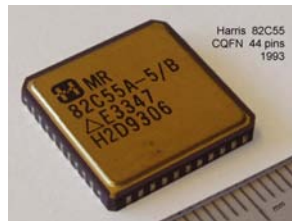
PLCC84 UV
Cypress FPGA
1996



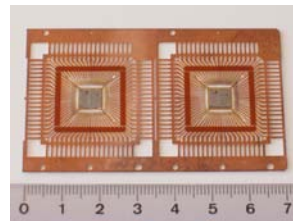
CLCC68: Intel R80C188XL.
Links von oben und rechts von
unten gesehen.



LGA775



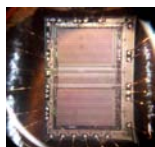
CQFN44 Harris 82C55 1993



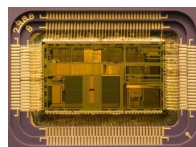
TQFP Leadframe



DIP16 Leadframe



EPROM-Die
durch 'Bulleye'



80486-Die im
geöffneten Gehäuse



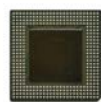
SOT23 oder SC70 noch
unverlötet in Lotpaste



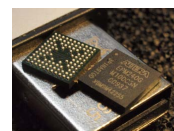
diverse
SMD-Bauteile (SO8
und DPAK)



Leiterplatte, Speichermodul
bzw. SIMM (PLCC18)



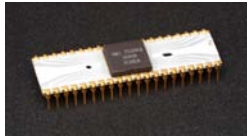
BGA:
Embedded
Intel Pentium
MMX



FBGA: Zwei
CPLDs auf einem
USB-Stecker



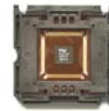
Plastic DIL64: Thomson
TS68000 (= Motorola
MC68000).



Ceramic DIL40: AMI
S6800 (= Motorola
MC6800)



Leiterplatte, Slot-A Athlon AMD



Intel Pentium
als
TCP-Version.



SOT23-6
Gehäuse

Weblinks

- Eprom-Gehäuseformen ^[1] mit Bildern und Abmessungen
- Gehäuseformen auf Mikrocontroller-Wiki ^[2]
- Gehäuse von TI: Nach verschiedenen Selektionskriterien (u. a. auch JEDEC) ^[3]
- Gehäuse von National Semiconductor: Schöner Überblick, mit Bildern ^[4]

Referenzen

[1] <http://www.progshop.com/versand/know-how/chip-packages.html>

[2] <http://www.mikrocontroller.net/wiki/IC-Gehäuseformen>

[3] <http://focus.ti.com/general/docs/packaging.jsp>

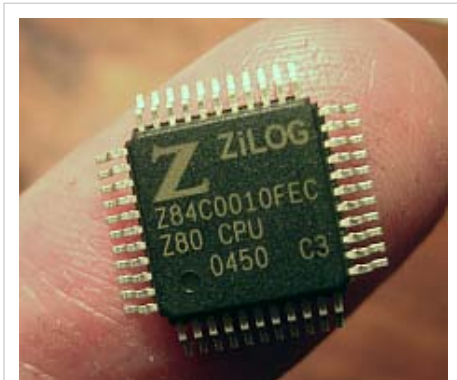
[4] <http://www.national.com/packaging/parts/>

Quad Flat Package

Quad Flat Package (QFP) bezeichnet in der Elektronik eine weit verbreitete Gehäusebauform für Integrierte Schaltungen. Die Anschlüsse (*Pins*) befinden sich an den vier Seiten des flachen Gehäuses. QFP werden als oberflächenmontierte Bauteile auf Leiterplatten gelötet.

QFP besitzen in der Regel 32 bis 200 Pins, die in einem Raster (*Pitch*) von 0,4 bis 1 mm angeordnet sind. Bei weniger Anschlussbeinchen wird eher das Small Outline Package (SOP oder SOIC) verwendet, bei der die Pins an zwei gegenüberliegenden Kanten angeordnet sind. Für größere Pinzahlen findet oft das Ball Grid Array (BGA) Anwendung, bei dem die ganze Unterseite als Anschlussbereich dient.

Ein direkter Vorgänger des QFP war der Plastic Leaded Chip Carrier (PLCC), der einen größeren Pinabstand von 1,27 mm (50 mil) und eine deutliche größere Gehäusehöhe verwendet.



44-poliges QFP (ein Mikroprozessor Z80)

Varianten

Ausgehend von der Grundform, einem flachen rechteckigen (oft quadratischen) Körper mit Pins an allen vier Seiten, wird eine Vielzahl von Bauformen verwendet. Diese unterscheiden sich meist nur in Pinzahl, Pitch, Abmessungen und verwendeten Materialien (meist um die thermischen Eigenschaften zu verbessern). Eine deutlich veränderte Variante ist das *Bumpered Quad Flat Package* (engl. *bumper* = Stoßstange), bei dem hervorstehende „Nasen“ an den vier Ecken die Pins vor mechanischen Beschädigungen schützen sollen, bevor das Bauteil eingelötet wird.

Die genauen Bezeichnungen sind herstellerspezifisch.

- BQFP: Bumpered Quad Flat Package
- BQFPH: Bumpered Quad Flat Package with Heat spreader
- CQFP: Ceramic Quad Flat Package
- FQFP: Fine Pitch Quad Flat Package
- HQFP: Heat sinked QFP
- LQFP: Low Profile Quad Flat Package
- MQFP: Metric Quad Flat Package
- PQFP: Plastic Quad Flat Package
- SQFP: Small Quad Flat Package
- TQFP: Thin Quad Flat Package
- VQFP: Very small Quad Flat Package
- VTQFP: Very Thin Quad Flat Package

Weblinks

- [Wikihowto:Guide to integrated circuit chip packages \(englisch\)](#)



Bumpered Quad Flat Package (ein Mikroprozessor Cx486SLC)



MME U80701 im CQFP-Gehäuse.

Ball Grid Array

Ball Grid Array (BGA, engl.) zu deutsch **Kugelgitteranordnung** ist eine Gehäuseform von Integrierten Schaltungen, bei der die Anschlüsse für SMD-Bestückung kompakt auf der Unterseite des Bauelements liegen.

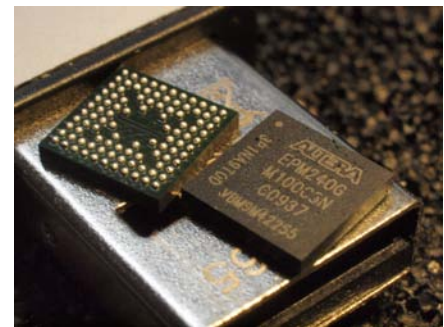
Die Anschlüsse sind kleine Lotperlen (engl. balls), die nebeneinander in einem Raster (engl. grid) aus Spalten und Zeilen stehen. Diese Perlen werden beim Reflow-Löten in einem Lötoven aufgeschmolzen und verbinden sich mit den Kontaktpads auf der Leiterplatte.

Diese Bauform stellt eine Lösung des Problems der Unterbringung einer sehr großen Zahl von Anschlüssen auf einem Bauteil dar. Im Unterschied zu Dual in-line-Bauformen können die Pins in mehreren Reihen angeordnet und so deren Zahl vervielfacht werden. Gegenüber Pin-Grid-Arrays erlauben BGA eine etwa doppelt so hohe Anschlußdichte.

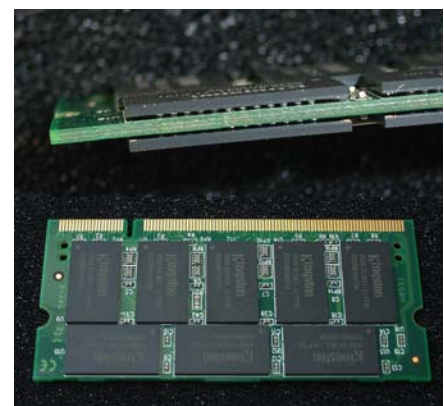
Die Chips können trotz der flächigen Verlotung z. B. mit Heißluft wieder von der Leiterplatte entfernt (ausgelötet) werden, ohne Schaden zu nehmen. Die Chips werden ggf. anschließend von den alten Lotperlen befreit (entlotet, engl. deballing), gereinigt und mit neuen Lotperlen bestückt (Neubepерlung, engl. reballing). Sie können anschließend wieder auf eine neue Leiterplatte gelötet werden. Diese Technik kann auch verwendet werden, um bei der Reparatur von Leiterplatten defekte Chips auszutauschen. Allerdings ist dafür, verglichen mit herkömmlichen Bauformen, großes Geschick und gutes Werkzeug vonnöten.

Vorteile

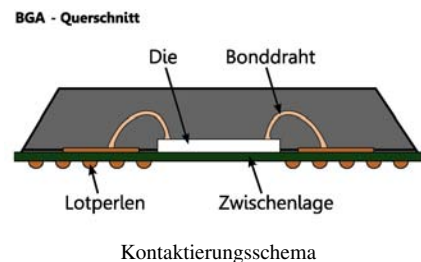
Die Vorteile der BGAs liegen im Bereich des nur sehr geringen Platzbedarfs, der guten Wärmeabführung der entstandenen Verlustleistung im Bauelement zur Leiterplatte hin und der geringen Impedanz durch kurze Anschlüsse zur Leiterplatte hin. Weiterhin haben BGA-Strukturen beim Reflow-Löten die Selbstzentrierung, wenn die maximale Verschiebung zwischen Ball und Pad nicht mehr als 50% der Strukturbreite beträgt. In diesem Fall zentriert sich der BGA durch die Oberflächenspannung des Lots. Weiterhin besitzen BGAs den Vorteil, dass Manipulationen an sicherheitsrelevanten Schaltungen sowie Nachahmung aufgrund der besonderen Löttechnik besonders erschwert ist.



Zwei CPLDs in MBGA-Bauweise auf einem USB-Stecker. Gut zu erkennen sind die Lotperlen mit einem Abstand von 0,5 mm.

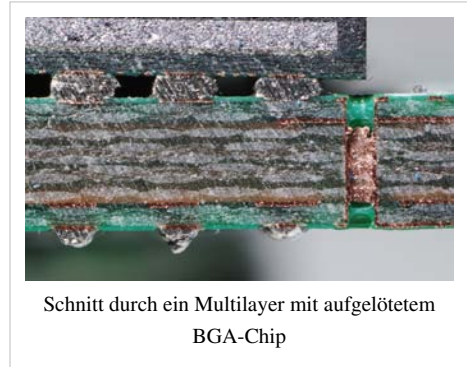


Beidseitig bestückte Platine in BGA-Technik



Nachteile

Neben den oben beschriebenen Vorteilen besitzen BGAs entscheidende Nachteile, die bei einer Verwendung dieser Gehäuseform besonders berücksichtigt werden müssen. Hierzu zählt beispielsweise die Inspektion und Reparatur der Lötstellen. Neben Röntgen- und Ultraschallverfahren ist die direkte visuelle Inspektion nur eingeschränkt möglich. Zusätzlich können mechanische Spannungen auf der Leiterplatte stärker zum Bauteil übertragen werden als bei bedrahteten Bauteilen oder bei Bauelementen mit Gull-Wing-Anschlüssen der Pins. Weiterhin sind diese Bauelemente nur mit spezieller Ausrüstung (geregelter Lötöfen) sicher lötlbar. Zusätzlich sind die Inbetriebnahme, Messungen und Reparaturen deutlich erschwert, da die Anschlüsse schwerer zugänglich sind.



Viele moderne Halbleiter werden nur noch im BGA-Gehäuse gefertigt, und für Hobbyelektroniker sind BGAs sehr schwierig bis nicht verarbeitbar: Zum Verlöten ist z.B. ein Reflow-Ofen erforderlich. Zudem lassen sich BGAs nur auf Multilayer-Platinen sinnvoll einsetzen. Multilayer-Platinen sind jedoch sehr teuer, wenn man sie als Einzelstück oder Kleinserie bei einem Leiterplattenfertiger herstellen lässt. Als Notlösung bietet es sich für Hobby-Elektroniker an, den BGA umgekehrt auf die Platine zu kleben und die Anschlüsse mit dünnen Kupferlackdrähten zu kontaktieren. Das wirkt allerdings sehr unprofessionell und ist auch elektrisch und vor allem mechanisch nicht optimal.

Typen

Beispiele verschiedener BGA-Typen:

- BGA – Raster 0,7 mm – 2,5 mm
- FBGA – Fine Line BGA, BGA-Package mit verringertem Lötunktastand (0,5 mm – 0,7 mm)
- MBGA – Micro Fine Line BGA Raster 0.5 mm^[1]
- VFBGA - Very Fine BGA, Raster < 0,5 mm
- FCBGA - Flip Chip BGA
- CBGA – Ceramic Ball Grid Array, wie BGA im Keramikgehäuse
- CSP – Chip Scale Package, kein BGA gehört zu den LLPs (Lead Less Chipcarrier)
- LFBGA – Low-profile Fine-pitch Ball Grid Array

Prüfen von BGAs

Zum Prüfen von BGA-Schaltungen benötigt man lösbare Adapter, Fassungen oder zum Beispiel Starnadeladapter (Kontaktieren von Padstrukturen bis herab zu einem Pitch von 150 µm).

Verwandte Bauformen

- Land Grid Array
- Ceramic Column Grid Array
- Embedded Wafer Level Ball Grid Array

Einzelnachweise

[1] Altera Device and Package Cross Reference (<http://www.altera.com/literature/ds/100-MBGA.pdf>) – Abmessungen von Produkten der Firma Altera. (englisch)

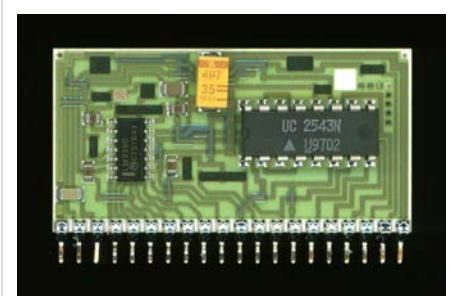
Weblinks

- The Ball Grid Array (http://smithsonianchips.si.edu/ice/cd/PKG_BK/CHAPT_10.PDF) (englisch; PDF-Datei; 6,53 MB)

Dickschichttechnik

Dickschicht-Hybridtechnik

Die **Dickschicht-Hybridtechnik** ist eine Aufbau- und Verbindungstechnik zur Herstellung elektronischer Schaltungen (Dickschicht-Hybridschaltung), bei welcher sowohl integrierte als auch diskrete Bauteile Verwendung finden.



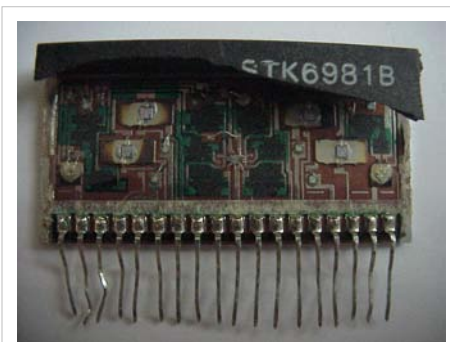
Hybridschaltung mit laserabgeglichene
Widerständen (schwarze Flächen)

Verfahren

Als Trägermaterial dienen meist Platten aus Aluminiumoxid-Keramiksubstrat, auch Keramikfolien für LTCC-Technologie (LTCC = englisch Low Temperature Cofired Ceramics). Leiterbahnen werden drucktechnisch im Siebdruckverfahren aufgebracht und dürfen sich – mittels Isolierschichten – auch kreuzen. Ebenso werden elektrische Widerstände hergestellt, welche gegebenenfalls nachträglich durch das Lasertrimmen einem Laser-Feinabgleich unterzogen werden. Seltener werden auch Kondensatoren gedruckt – es sind jedoch nur kleine Werte ($< 1 \text{ nF}$) herstellbar.

Der derart bedruckte Träger wird gebrannt, wobei die aufgebrachten Fritten (Pulvermischungen für Widerstände, Isolationen oder Leiterbahnen) zu sehr widerstandsfähigen und zuverlässigen Schichten verschmelzen.

Diese Dickschichtschaltung kann dann mit weiteren, nicht drucktechnisch herstellbaren Bauteilen (aktive Bauteile, Kondensatoren) weiter bestückt werden. Der Einsatz ungehäuster Halbleiterchips, also nackter Silicium-Dies, bietet sich aufgrund der guten Wärmeleitfähigkeit des Substrates an. Die gebräuchlichsten Verbindungstechniken für die auf der Dickschicht-Schaltung angebrachten Bauteile sind das Reflow-Löten und das Bonden.



Dickschichtschaltung mit drahtgebondeten
Dioden, Transistoren und Integrierten
Schaltungen sowie Bondbrücken.

Vorteile

- Einsatz von Bauteilen verschiedener Fertigungstechniken möglich
- Substrat ist ein guter, verlustarmer Isolator
- Verlustleistung wird gut über das Substrat abgeführt (annähernd gleiche Temperatur über die ganze Schaltung hinweg)
- drucktechnisch realisierbare Widerstände höchster Genauigkeit (Laserabgleich, besser als 0,1 %) in weiten Wertebereichen (Milli- bis Megaohm)

Einsatzgebiete

Dass Dickschicht-Schaltkreise nur bei höheren Stückzahlen ökonomisch herstellbar wären, ist eine in heutiger Zeit nicht mehr haltbare Behauptung, sondern sollte – je nach Applikation und Verwendungszweck – immer dann geprüft werden, wenn eine herkömmliche Lösung in SMD-Technik auf Leiterplatte technische Schwierigkeiten mit sich bringt.

Gerade hinsichtlich der Faktoren Miniaturisierung (zur Verfügung stehende Fläche für die Elektronik), thermische Leitfähigkeit, höhere Betriebs- bzw. Umgebungstemperaturen und sonstigen extremeren Umgebungsbedingungen (z. B. Vakuum) sind die technischen Vorteile einer Hybridschaltung unbestritten.

Dickschicht-Schaltungen werden überall dort eingesetzt, wo hohe Zuverlässigkeit gefragt ist und/oder widrige Umgebungsverhältnisse (Feuchte, Schwingungsbelastung) herrschen:

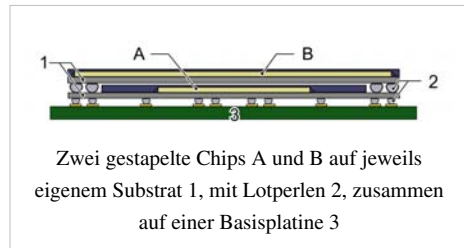
- Automobilelektronik: (Motorsteuerung, ABS, ...)
- Industrieelektronik und Leistungselektronik
- Mess- und Regeltechnik
- Sensoren hoher Beanspruchung (z. B. Lambdasonde)
- Militärtechnik, Luft- und Raumfahrt
- Telekommunikation
- Hochleistungscomputersysteme
- Hochfrequenz-Baugruppen (z. B. Antennenverstärker und kleine Sender)



Multi-Chip-Modul

Ein klassisches **Multi-Chip-Modul (MCM)**, manchmal auch *MCP* von englisch *Multi Chip Package* besteht aus mehreren einzelnen Mikrochips (bzw. Dice), die in einem gemeinsamen Gehäuse untergebracht sind und nach außen wie ein Chip aussehen, so funktionieren und eingesetzt werden. Von außen sind solche Chips also nicht direkt erkennbar, sondern sehen aus wie viele andere auch. Heute wendet man die Bezeichnung MCM auch auf die Module an, die neben Halbleiter-Dies mikromechanische Elemente oder auch diskrete passive Bauelemente wie z. B. Kondensatoren oder Widerstände in SMD-Bauformen (s. dazu Surface Mounted Device) beinhalten. Solche MCM entsprechen viel mehr den Merkmalen eines System-in-Package (s. dazu „System-in-Package“).

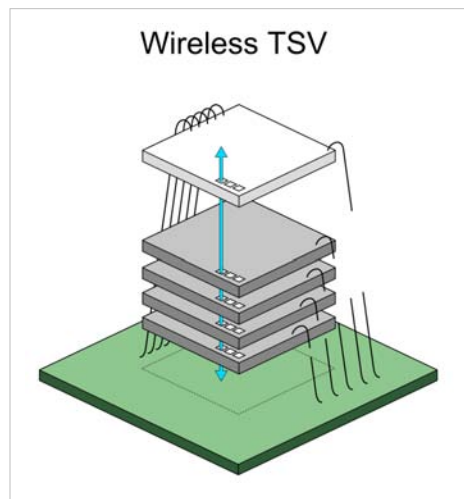
Die Einzelchips können speziell für die Integration in einem MCM entworfen werden. Dann hat man es meistens mit Einzelchips in völlig verschiedenen Technologien zu tun, die sich nicht einfach auf einen einzigen Die integrieren lassen. Beispiele sind hier vor allem digitale Mikrocontroller und ihre analogen Peripheriebausteine und/oder Flash-Speicher, manchmal auch Mikroprozessorkerne und ihre sonst externen Cache-Bausteine, schließlich in Handys die Kombination von Prozessor, SRAM- und Flash-Speicher. Im Bereich der intelligenten Sensorik (wie Drucksensoren) werden z. B. Auswerte-Chip und Mikromechanik in ein Gehäuse verpackt. Diese Vorgehensweise stellt in der Regel eine preiswertere Alternative zur monolithischen Integration aller Bausteine in einem Halbleiter dar (siehe dazu „System on a Chip“).



Es können aber auch Chips verwendet werden, die sonst allein in Gehäuse eingebaut und verwendet werden. Dieser Fall tritt dann ein, wenn man für kleine Serien oder einen Schnellschuss die Entwicklungszeit für einen komplett integrierten Chip einsparen will. Die Verbindung zu einem MCM lässt sich wesentlich schneller entwickeln.

Zur Funktionalität ist es meistens erforderlich, die Einzelchips untereinander elektrisch zu verbinden. Dies geschieht auf die Arten, wie sie auch sonst in der Mikroelektronik eingesetzt werden: direktes Bonden auf miniaturisierten Schaltungsträger (Leadframes, Substrate, Leiterplatten). Damit stellt ein MCM ein Sonderfall einer elektronischen Flachbaugruppe (Kompaktbaugruppe) dar. Ein weiteres wichtiges Montage-Verfahren ist dabei z. B. Flip Chip.

Stapelt man mehrere Chips übereinander, spricht man von *Die-Stacking* oder einem *System-in-Package (SiP)*. Damit das komplette Bauteil bei gestapelten Dies nicht zu hoch wird, werden die Dies vorher manchmal mit einigem Aufwand dünn geschliffen. Anschließend werden sie wie gewöhnliche Chips vergossen, zu den externen Pins gebondet und in ein Gehäuse verpackt. Eine neue Methode, gestapelte Dies untereinander zu verbinden, nennt sich TSV (für *Through-Silicon-Vias*). Dabei werden die Die-Lagen wie bei Multilayer-Leiterplatten durch Löcher kontaktiert. Zu viele Dies kann man aber nicht direkt übereinander stapeln, da es sonst zu Überhitzungsproblemen wegen der schwierigeren Wärmeabfuhr kommt.



Weblinks

- Artikel mit Mikroskopfoto eines Chip-Stacks ^[1]
- älterer Artikel mit Mikroskopfoto eines Chip-Stacks ^[2]

Referenzen

[1] <http://www.heise.de/newsticker/meldung/65797>

[2] <http://www.heise.de/newsticker/meldung/31491>

Dünnschichttechnologie

Dünnschichttechnologie

Die **Dünnschichttechnologie**, auch **Dünnschichttechnik** genannt, beschäftigt sich mit der Herstellung und Bearbeitung von dünnen Schichten unterschiedlicher Materialien, wie metallische, dielektrische und halbleitende Werkstoffe. Die Dicke solcher Schichten liegt typischerweise im Bereich weniger Mikrometer bis zu wenigen Nanometern.

Die Abscheidung der Schichten erfolgt meist ganzflächig auf einem Substrat mit Verfahren der physikalischen (PVD, z. B. thermisches Verdampfen oder Sputtern) und chemischen Gasphasenabscheidung (CVD). Anschließend können weitere Bearbeitungen der Schichten erfolgen, dazu gehören unter anderem Nachbehandlungen, wie das Tempern, Rekristallisieren oder Dotieren der Schicht, als auch der gezielte Materialabtrag, beispielsweise mithilfe des chemisch-mechanischen Polierens. Vor allem bei der Fertigung von Produkten für die Halbleiterelektronik (wie integrierte Schaltkreise oder auch Dünnschichtsolarzellen) und der Mikrosystemtechnik (Sensoren, Aktoren) werden die Schichten auch strukturiert, das heißt, das Schichtmaterial wird an einigen Stellen gezielt entfernt. Die Strukturierung kann durch die in der Halbleitertechnik übliche Fotolithografie (Fotolack, Maskierung, Belichtung, usw.) oder direkt per Laser- oder Elektronenstrahlbearbeitung erfolgen. Mittels Elektronenstrahl wird oft auch ein Abgleich von Widerständen vorgenommen, wodurch sich höchste Genauigkeiten erreichen lassen (0,1 %).

Abgrenzung

Sogenannte *Dünne Schichten* ($< 1 \mu\text{m}$) werden in vielen Bereichen (Optik, Katalysatoren, ICs, zylindrische Widerstände, Kondensatorfolien, Verpackung) eingesetzt. Der Begriff *Dünnschicht-Technologie* wird jedoch üblicherweise nur für ebene elektronische Bauteile und Schaltkreise aus „Dünnen Schichten“ auf Isolator-Substraten angewendet.

Die sogenannte Dickschichttechnologie verwendet ebenfalls Isolator-Substrate; Widerstände und Leiterbahnen werden jedoch mittels gedruckter und gebrannter sog. Glasfritten (Pulvergemisch aus Metall und Glas) hergestellt. *Dünnschichttechnologie* umfasst demgegenüber nicht nur additive Prozesse wie Sputtern, sondern auch subtraktive Prozesse wie Ätzen. Auch auf die Bedeutung der Reinigungsverfahren sei hingewiesen.

Additive Verfahren

Als additiv werden Verfahren bezeichnet, bei denen Schichten großflächig oder strukturiert (z. B. Lift-off-Verfahren) auf einem Substrat aufgebracht wird. Dies geschieht in der Regel durch die chemische Reaktion oder Kondensation von gasförmigen Stoffen auf der Substratoberfläche. Weiterhin sind auch Verfahren zur Abscheidung aus der flüssigen Phase weit verbreitet.

Die Qualität einer Dünnschicht hängt von drei Faktoren ab:

1. vom physikalischen Zustand der Oberfläche des Substrates (Oberflächenrauheit)
2. von der Aktivierungsenergie für Oberflächen- und Volumendiffusion der Schichtatome
3. von der Bindungsenergie zwischen adsorbiertem Atom und Substratoberfläche

Die wichtigsten Verfahrensgruppen werden im Folgenden kurz beschrieben.

Chemische Gasphasenabscheidung (CVD)

Die chemische Gasphasenabscheidung (CVD) ist eine Gasphasenreaktion (meist an oder in der Nähe der Substratoberfläche). Dabei werden die Reaktionsgase gleichzeitig in die Reaktionskammer mit dem zu beschichtenden Substrat geleitet. Die meist vorgeheizten Gase werden durch das beheizte Substrat thermisch aktiviert und reagieren miteinander. Dabei wird das erwünschte Material abgeschieden und chemisch gebunden (Chemisorption).

Neben unzähligen CVD-Varianten, die sich in Arbeitsdruck und anderen Prozessparametern unterscheiden, existieren noch einige Beschichtungsverfahren die mehr oder weniger stark modifizierte CVD-Verfahren darstellen:

- **Plasmapolymerisation:** Dabei bilden durch ein Plasma angeregte gasförmige Monomere eine hochvernetzte Schicht auf einem Substrat.
- **Atomlagenabscheidung:** Die Atomlagenabscheidung ist ein stark verändertes CVD-Verfahren, bei der die Reaktion bzw. Sorption an der Oberfläche selbständig nach der vollständigen Belegung der Oberfläche stoppt. Diese selbstbegrenzende Reaktion wird in mehreren Zyklen (mit dazwischenliegenden Spülschritten) durchlaufen, so sind sehr gute Aspektverhältnisse und exakte Schichtdicken erreichbar.

Physikalische Gasphasenabscheidung (PVD)

PVD-Verfahren beruhen im Gegensatz zu CVD-Verfahren auf rein physikalischen Wirkungsverfahren, in der Regel handelt es sich dabei um einen Materialdampf der an der Substratoberfläche kondensiert. Man unterscheidet:

- **Thermisches Verdampfen:** Beim thermischen Verdampfen wird das Aufdampfmaterial erhitzt bis es mit einer geeigneten Aufdampfrate verdampft. Dabei existieren je nach eingesetztem Verdampfer (induktiv, Widerstands- oder Elektronenstrahlverdampfer) drei „Unterverfahren“. Um die Abscheidung von qualitativ hochwertigen und homogenen Schichten zu gewährleisten, ist es notwendig, den Raum zwischen Verdampfer und Substrat möglichst materiefrei (d. h. Vakuum) zu halten. Wechselwirkungen (meist Stöße) der Teilchen mit Restgasatomen können diese binden oder so streuen, dass die Reproduzierbarkeit der Beschichtung nicht gewährleistet werden kann. Zur Messung und Regelung der Aufdampfrate und Schichtdicke werden häufig Schwingquarze verwendet (alternativ auch optisches Monitoring).
- **Sputterdeposition:** Beim Sputtern (auch Kathodenzerstäuben genannt) werden durch Ionenbeschuss Teilchen von der Oberfläche abgetragen. Durch dieses Verfahren kann die Oberfläche z. B. von Oxiden oder Wasser, die durch die Herstellung, Verarbeitung oder Lagerung in das Material gelangt sind, gereinigt werden. In der Dünnschichttechnik wird dieser physikalische Vorgang auch genutzt, um Material vom Target zu zerstäuben, d. h., es in die Gasphase zu überführen. Das entstandene gasförmige Material wird anschließend auf das zu beschichtende Substrat geführt und kondensiert dort. Dieses Beschichtungsverfahren wird Sputterdeposition genannt und hat gegenüber dem Aufdampfen den Vorteil, auch Legierungen im "gleichen Verhältnis" auf den Wafer zu übertragen. Dabei muss allerdings beachtet werden, dass unterschiedliche Materialien unterschiedliche Sputterkoeffizienten besitzen, sich also unterschiedlich gut zerstäuben lassen. Die Schichtdicke wird oft über Zeitabschaltung gesteuert.
- **Ionenplattieren:** Das Ionenplattieren ist ein vakuumbasiertes und plasmagestütztes PVD-Verfahren für Metalle und Metallverbindungen. Dabei wird verdampftes Metall (z. B. durch Bogenentladung) in ein Plasma geführt. Dort ionisiert ein Teil der Metaldampf Wolke und wird in Richtung des Substrates beschleunigt. Die Metallionen bilden an der Substratoberfläche eine Schicht aus, die am Anfang zusammen mit dem Substratmaterial durch den ständigen Beschuss durch Metallionen rückgesputtert wird.
- **ICB-Technik** (engl. *ionized cluster beam deposition*, ICB): ICB-Technik ist ein modifiziertes Aufdampfverfahren. Der zum Verdampfen verwendete Tiegel wird dabei geschlossen gehalten. Das Erhitzen des Verdampfungsmaterials erzeugt einen Überdruck im abgeschlossenen Tiegel. Wird dieser Dampf durch eine Düse abgelassen, so kommt es durch eine adiabatische Expansion zu einer plötzlichen Abkühlung. Es bilden sich neutrale Atomhaufen (engl. *cluster*), die sich beim Auftreffen auf der Substratoberfläche teilweise auflösen und

über die Oberfläche verteilt abscheiden.

- *Molekularstrahlepitaxie* (engl. *molecular beam epitaxie*, MBE)

Galvanische Verfahren

Neben den Abscheidungen aus der Gasphase gibt es auch zahlreiche Abscheidungsverfahren aus der flüssigen Phase. Eine der wichtigsten Verfahrensgruppe ist die Galvanotechnik (kurz: Galvanik). Sie umfasst alle Verfahren zur elektrochemische Abscheidung von elektrisch leitfähigen Schichten (in der Regel Metalle) auf einen Substrat. Dazu wird das Substrat ein elektrolytisches Bad getaucht und mit einer elektrischen Spannung belegt. In dem entstehenden elektrischen Stromkreis fließt ein elektrischer Strom, der im Elektrolyt vorrangig durch die Bewegung von positiven Metallionen gebildet wird. Die gelösten Metallionen bewegen sich bei angelegter Spannung zum Minuspol (Kathode), dem zu beschichtenden Substrat, und scheiden sich dort ab.

Als Substrate können eine Vielzahl von Materialien verwendet werden. Die wichtigste Voraussetzung ist jedoch eine zumindest geringe elektrische Leitfähigkeit an der Oberfläche. Aus diesem Grund wird bei nichtleitenden Substraten, wie beispielsweise Kunststoffen, zunächst mit anderen Verfahren eine dünne leitfähige Schicht aufgetragen (vgl. z. B. Kunststoffmetallisierung). Die Oberflächenleitfähigkeit hat zudem Einfluss auf die Homogenität der Abscheidung. Allgemein ist die erzielte Schichtdicke abhängig von verwendeter Stromstärke und der Prozessdauer sowie der Badzusammensetzung. Über Badzusätze kann zudem die Abscheidung in Löchern und Gräben beeinflusst werden. Dies wird beispielsweise in der Halbleitertechnik bei der Abschneidung der Kupferleitbahnen eingesetzt, hier wird über spezielle Badzusätze die Abscheidung der Kupferschicht am Boden und Ecken von Kontaktlöchern beschleunigt bzw. die Abscheidung an der Oberseite behindert.

Sol-Gel-Verfahren

Aus kolloiddispersen Lösungen können durch nasschemische Beschichtungsverfahren und anschließende Härtung anorganische und hybridpolymere Schichten hergestellt werden. Der zugrunde liegende Sol-Gel-Prozess ist als Teil der chemischen Nanotechnologie zu verstehen.

Anwendungen

- Dünnschicht-Solarzellen (amorphe Silizium-Schichten)
- Widerstandsnetzwerke und hochpräzise Einzelwiderstände
- Dehnungsmessstreifen
- Fotowiderstände
- Platin-Temperaturmesswiderstände
- Medizintechnik
- Halbleiter
- Membranen, z. B. für Mikro-Drucksensoren, Kondensator- und Elektret-Mikrofone

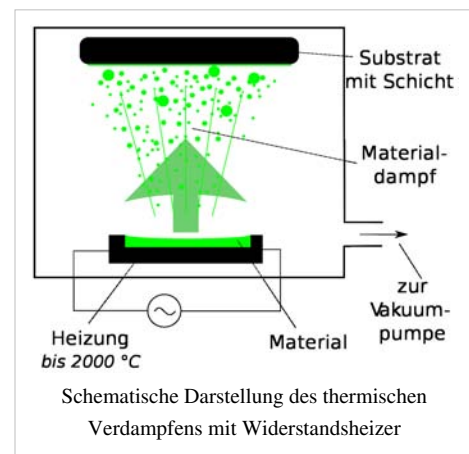
Thermisches Verdampfen

Thermisches Verdampfen (auch **Aufdampfen** oder **Bedampfen**, engl. *thermal evaporation*) ist ein zu den PVD-Verfahren gehörende hochvakuumbasierte Beschichtungstechnik. Dabei handelt es sich um ein Verfahren, bei dem das gesamte Ausgangsmaterial durch eine elektrische Heizung (resistiv oder induktiv) auf Temperaturen in der Nähe des Siedepunkts erhitzt wird, sich ein Materialdampf zu einem Substrat bewegt und dort zu einer Schicht kondensiert. Es stellt damit eines der einfachsten Verdampfungsverfahren in der Beschichtungstechnik dar.

Im erweiterten Sinn wird das thermische Verdampfen als eine Gruppe von PVD-Verfahren^[1] verstanden, bei denen das Ausgangsmaterial auf verschiedene Weisen erhitzt wird. Zu dieser Gruppe gehören beispielsweise Verdampfungsverfahren mittels Laser, Elektronenstrahlen oder einem Lichtbogen. Auch die Molekularstrahlepitaxie gehört zu dieser Gruppe. Hingegen werden Verfahren bei denen der Materialdampf nachträglich durch ein Plasma modifiziert wird, wie beim Ionenplattieren, nicht zur Gruppe der Verdampfungsverfahren gezählt.

Funktionsweise

Beim thermischen Verdampfen wird das Ausgangsmaterial auf Temperaturen in der Nähe des Siedepunkts erhitzt. Dabei lösen sich einzelne Atome, „Atomcluster“ oder Moleküle, das heißt, sie verdampfen, und wandern durch die Vakuumkammer. Aufgrund der Anordnung zwischen Verdampferquelle und Substrat trifft der Materialdampf auf das gegenüberliegende, kühlere Substrat und schlägt sich dort nieder (Kondensation). Dabei bildet sich auf dem Substrat eine dünne Schicht aus dem verdampften Material. Nachteilig bei dieser Methode ist, dass sich der Materialdampf in der Vakuumkammer in alle Richtungen ausbreitet und sich daher ein Teil des Materials zwangsläufig auch an der Gefäßwand des Rezipienten niederschlägt.



Wie die meisten anderen PVD-Verfahren ist auch das thermische Verdampfen ein Hochvakuumprozess. Typische Prozessdrücke sind 10^{-6} mbar. Dafür gibt es verschiedene Gründe, zum einen werden durch den niedrigen Druck Zusammenstöße mit noch im Vakuum vorhandenen Gasteilchen minimiert (in diesem Druckbereich ist die mittlere freie Weglänge sehr viel größer als der Abstand der Verdampferquelle zum Substrat), zum anderen muss der Prozessdruck unter dem Gasdruck des aufzudampfenden Materials liegen.

Stöße mit anderen Atomen bzw. Molekülen sollen vermieden werden, da das Material mit diesen chemisch reagieren kann. So kann beispielsweise ein Teil eines Metaldampfes oxidieren, so dass die abgeschiedenen Schichten verunreinigt sind. Im Extremfall könnte es daher zur Abscheidung von Metalloxidschichten kommen. Dies ist in der Regel unerwünscht, kann aber auch im Fall des *reaktiven Verdampfens* gezielt ausgenutzt werden, indem ionisierter Sauerstoff in die Vakuumkammer eingelassen wird. Auf diese Weise kann beispielsweise die Abscheidung von Indiumzinnoxid-Schichten (ITO-Schichten) verbessert oder die Abscheidung von Schwarznickel (NiO) erreicht werden; beide Materialien werden in der Photovoltaik eingesetzt.

Bei der Abscheidung von Legierungen sind die unterschiedlichen Dampfdrücke der Einzelkomponenten und somit die unterschiedlichen Abscheidungsraten problematisch. In diesem Fall werden meist Einzelkomponenten aus separaten Quellen mit unterschiedlichen Temperaturen verdampft. Bei zu hohem Restdruck des Vakuums können weniger dichte Schichten mit anderen Materialeigenschaften entstehen.

Verdampferquellen

Wie im vorhergehenden Abschnitt bereits erwähnt, wird das thermische Verdampfen in folgende Untergruppen unterteilt. Die Einteilung geschieht anhand des eingesetzten Verdampfers:

1. Verfahren bei denen das Material vollständig aufgeschmolzen wird
 - Widerstandsverdampfer: Beim thermischen Verdampfen aus einem Schiffchen wird der Materialbehälter durch Stromdurchfluß erhitzt, bis das Aufdampfmaterial verdampft. Das Schiffchen besteht oft aus Molybdän, Wolfram oder Tantal). Alternativ wird auch ein Wolfram-Glühwendel mit Al_2O_3 oder Bornitrid-Behälter mit dem Aufdampfmaterial verwendet. Ein Nachteil dieser Methode ist die Gefahr für Kontamination mit dem Behältermaterial.
 - Induktionsheizer: Hierbei wird das leitfähige Material in einem Einsatz (Liner) durch Induktivheizung (Wirbelstrom) direkt erhitzt.
2. Verfahren bei denen nur ein Teil des Materials aufgeschmolzen wird
 - Elektronenstrahlverdampfer: Beim Einsatz vom Elektronenstrahlverdampfern wird das Aufdampfmaterial durch einen Elektronenstrahl erhitzt. Dabei wird die kinetische Energie der Elektronen durch inelastische Stöße an das zu verdampfende Material übertragen. Es befindet sich dazu in einem wassergekühlten Kupfertiegel oder in einem Einsatz (engl. liner) aus Molybdän, Tantal, Bornitrid oder Graphit in diesem Kupfertiegel. Bei dieser Methode ist die Kontamination mit Tiegelmateriale nahezu ausgeschlossen.
 - Lichtbogen: siehe Lichtbogenverdampfen
 - gepulster Laser: siehe Laserstrahlverdampfen

Anwendungsbereiche

Typische Materialien für diesen Prozess sind Metalle (z. B. Kupfer, Silber, Gold), aber auch andere Materialien, wie Siliciumdioxid, Indiumzinnoxid oder organische Halbleiter (z. B. Pentacen), können so abgeschieden werden. Die Prozesstemperatur ist aufgrund dieser Vielfalt sehr unterschiedlich, so werden Metalle bei 1000–3400 °C verdampft. Andere Materialien benötigen hingegen deutlich niedrigere Temperaturen (z. B. Pentacen bei ca. 280 °C oder Indiumzinnoxid bei ca. 600 °C).

Die Temperaturregelung ist dabei ein wichtiger Faktor, denn schon kleinere Temperaturänderungen können große Unterschiede bei der Verdampfungsrate ergeben. Die Regelung ist über eine konstante Energiezufuhr zum Verdampfer nicht möglich, da die Wärmebilanz u. a. vom Füllstand abhängig ist. Die Abscheideregelung und somit die Energiezufuhr zum Heizer erfolgt über Schichtdickenmessungen mittels eines Schwingquarzes. Die Parameter müssen dafür vorher mit einem Test ermittelt werden.

Literatur

- K. S. SreeHarsha: *Principles of physical vapor deposition of thin films*. Elsevier, 2006, ISBN 9780080446998.



Beschichtungsanlage für das thermische Verdampfen von Metallen (Varian 3119)

Einzelnachweise

[1] K. S. SreeHarsha: *Principles of physical vapor deposition of thin films*. Elsevier, 2006, ISBN 9780080446998, S. 367–452 (Abschnitt 5. Thermal Evaporation Sources).

Sputtern

Das **Sputtern** (aus dem Englischen *to sputter* = zerstäuben) – oder auf deutsch, die **Kathodenzerstäubung** – ist ein physikalischer Vorgang, bei dem Atome aus einem Festkörper (Target) durch Beschuss mit energiereichen Ionen (vorwiegend Edelgasionen) herausgelöst werden und in die Gasphase übergehen.

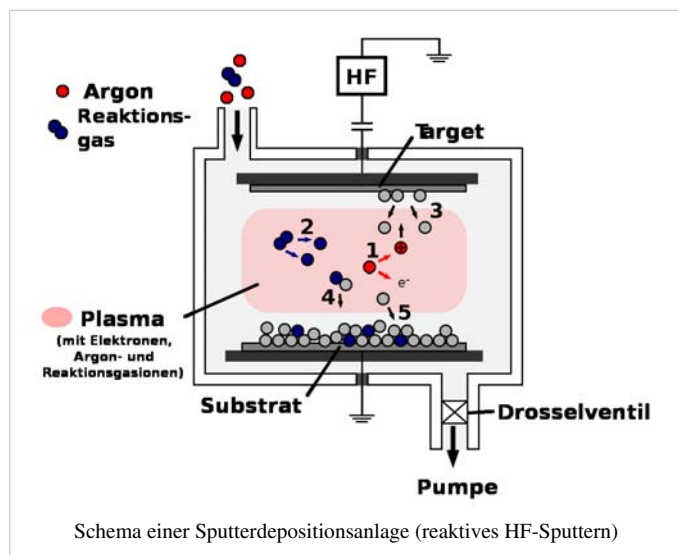
Unter dem Begriff *Sputtern* wird meistens nur die Sputterdeposition, eine zur Gruppe der PVD-Verfahren gehörende hochvakuumbasierte Beschichtungstechnik, verstanden. Weiterhin kommt das Sputtern in der Oberflächenphysik als Reinigungsverfahren zur Präparation hochreiner Oberflächen, als Verfahren zur Analyse der chemischen Zusammensetzung von Oberflächen und als Sputter-Ionenquelle für Teilchenbeschleuniger zum Einsatz.

In Elektronenröhren und Gasentladungsröhren wie Glimmlampen und Nixie-Röhren gehört Sputtern zu den unerwünschten, Lebensdauer-begrenzenden Effekten. Durch das Auftreffen von Ionen auf die Elektroden werden diese in Mitleidenschaft gezogen. Zudem schlägt sich das abgetragene Elektrodenmaterial an der Innenseite des Glaskolbens ab, was dessen Transparenz vermindert.

Grundlagen des Sputterprozesses

Beim Beschuss einer Oberfläche mit Ionen können, abhängig von den verwendeten Ionen und ihrer kinetischen Energie, verschiedene Effekte auftreten:

- Es wird Material von dem bombardierten Target (Kathode) abgetragen. Dies ist das hier beschriebene *Sputtern*.
- Die Ionen werden in das Targetmaterial eingebaut und gehen dort gegebenenfalls eine chemische Verbindung ein. Dieser Effekt wird dann (reaktive) Ionenimplantation genannt.
- Die Ionen kondensieren auf dem beschossenen Substrat und bilden dort eine Schicht: Ionenstrahldeposition.



Ist ein Materialabtrag beabsichtigt, müssen die Ionen eine gewisse Mindestenergie besitzen. Das auftreffende Ion überträgt seinen Impuls auf Atome des beschossenen Materials, die dann – ähnlich wie beim Billard – in einer Stoßkaskade weitere Kollisionen auslösen. Nach mehreren Kollisionen hat ein Teil der Targetatome einen Impuls, der vom Targetinneren fortweist. Ist ein solches Atom genügend nahe der Oberfläche und hat es eine hinreichend hohe Energie, verlässt es das Target.

Die Sputterausbeute hängt dabei im Wesentlichen von kinetischer Energie und Masse der Ionen sowie von der Bindungsenergie der Oberflächenatome und deren Masse ab. Um ein Atom aus dem Target herauszuschlagen, müssen die Ionen eine materialabhängige Mindestenergie von typ. 30–50 eV aufbringen. Oberhalb dieser Schwelle nimmt die Ausbeute zu. Der zunächst starke Anstieg verflacht aber rasch, da bei hohen Ionenenergien diese Energie immer tiefer im Target deponiert wird und damit kaum noch die Oberfläche erreicht. Das Verhältnis der Massen von Ion und Targetatom bestimmt den möglichen Impulsübertrag. Für leichte Targetatome wird ein Maximum der Ausbeute erzielt, wenn die Masse von Target und Ion annähernd übereinstimmen; mit zunehmender Masse der

Targetatome verschiebt sich das Maximum der Ausbeute jedoch zu immer höheren Masseverhältnissen zwischen Ion und Targetatom.

Der Ionenbeschuss erzeugt nicht nur neutrale Atome, sondern auch Sekundärelektronen sowie in geringerem Umfang Sekundärionen und Cluster verschiedener Masse (Sekundärionen-Massenspektrometrie). Die Energieverteilung der gelösten Atome hat ein Maximum bei der halben Oberflächenbindungsenergie bei einigen eV, fällt aber zu hohen Energien nur langsam ab, so dass die mittlere Energie häufig eine Größenordnung darüber liegt. Ausgenutzt wird dieser Effekt in Analysemethoden der Oberflächenphysik und Dünnschichttechnologie sowie zur Herstellung dünner Schichten (Sputterdeposition).

Die Anzahl der nach der Zeit t gesputterten Teilchen kann nach folgender Gleichung abgeschätzt werden:

$$N(t) = N_{\max} \left(1 - \exp \left(- \frac{Y I_P}{e N_{\max}} t \right) \right)$$

mit e : Elementarladung, N_{\max} : Anzahl Teilchen auf der Oberfläche (ca. 10^{15} cm^{-2}), Y : Sputterausbeute (Anzahl der gesputterten Teilchen pro auftreffendes Teilchen), I_P : Primärstrom.

Sputterdeposition

Bei der Sputterdeposition wird in die Nähe des Targets ein Substrat gebracht, so dass die herausgeschlagenen Atome auf diesem kondensieren und eine Schicht bilden können. Der Druck in der Anlage muss dabei so gering sein, dass die Targetatome das Substrat auch erreichen. Aufgrund seiner großen technischen Bedeutung wird mit dem Begriff Sputtern häufig auch dieses Depositionsverfahren bezeichnet.

Als Ionenquelle dient hierbei in den meisten Anwendungen eine Gleichstrom-Gasentladung (DC-Sputtern). Wenn zusätzlich unter dem Target ein Magnet angebracht ist, spricht man von Magnetronzerstäubung. In dieser Konfiguration können alle leitfähigen Materialien deponiert werden. Es tritt keine Entmischung von Legierungen auf, was beispielsweise beim thermischen Verdampfen auftreten kann. Auch ist die Haftung der Schichten meist besser als bei aufgedampften, und es können große Flächen, z. B. Architekturglas, homogen beschichtet werden. Für diese Anwendung werden Magnetron-Kathoden mit einer Länge von 3,5 m eingesetzt. Auch werden auf diese Weise integrierte Schaltkreise auf Wafern metallisiert. Bei diesen Applikationen werden normalerweise möglichst reine Metallschichten gewünscht. Daher werden in diesen Fällen hochreine Edelgase eingesetzt, um eine Oxidation der Schichten zu vermeiden. Dies ist in der Regel Argon.

Die Beschichtung von Architekturverglasungen oder Absorbern bei thermischen Sonnenkollektoren besteht aus Schichtsystemen, bei denen auch transparente und teilabsorbierende Materialien, die häufig nicht oder nicht hinreichend elektrisch leitend sind, zum Einsatz kommen. Hier kann dem Inertgas wie Argon gezielt ein Reaktivgas, meist Stickstoff oder Sauerstoff, hinzugefügt werden, um entsprechende Verbindungen zu deponieren. In diesem Fall spricht man von reaktiven Sputtern.

Andere Nichtleiter, bei denen auch reaktive Sputterdeposition nicht möglich oder praktikabel ist, können meist mit Hochfrequenz- oder Ionenstrahl-sputtern deponiert werden; allerdings geht hierbei der Vorteil der großflächigen Homogenität zum großen Teil verloren.

Varianten

Von allen nachfolgenden Varianten existieren zusätzlich Mischformen, z. B. RF-Magnetron-Sputtern.

DC-Dioden-Sputtern

Mit einer Beschleunigungsgleichspannung U_B von 500 bis 1000 V wird ein Argon-Niederdruckplasma zwischen einem Target und einem Substrat gezündet. Positive Argonionen schlagen aus dem Target Atome heraus (Sputterprozess), die dann zum Substrat wandern und dort kondensieren (Sputterdeposition).

Wesentlicher Nachteil dieses Verfahrens ist es, dass sich nur elektrische leitfähige Materialien (wie Metalle) nutzen lassen, da sich sonst ein Gegenfeld aufbaut und der Sputterprozess stoppt. Des Weiteren werden nur geringe Sputterraten erreicht, da nur wenige Argonionen entstehen.

DC-Trioden-Sputtern

Das Target wird als dritte Elektrode außerhalb des Plasmariums angeordnet. Plasmaerzeugung und Sputterprozess werden damit entkoppelt.

HF-Sputtern

Beim Hochfrequenzsputtern (kurz HF-Sputtern, engl. *radio frequency sputtering*, *RF sputtering*) wird statt des elektrischen Gleichfeldes ein hochfrequentes Wechselfeld angelegt. Die dafür notwendige Hochfrequenzspannungsquelle wird in Reihe mit einem Kondensator und dem Plasma geschaltet. Der Kondensator dient dazu, den Gleichspannungsanteil abzutrennen und das Plasma elektrisch neutral zu halten.

Durch das Wechselfeld werden die Ionen (meist Argonionen) und die Elektronen abwechselnd in beide Richtungen beschleunigt. Ab einer Frequenz von ungefähr 50 kHz können die Ionen aufgrund ihres deutlich kleineren Ladung-zu-Masse-Verhältnisses dem Wechselfeld nicht mehr folgen.

Die Elektronen oszillieren im Gebiet des Plasmas und es kommt vermehrt zu Stößen mit Argonatomen. Dies bewirkt eine hohe Plasmarate, eine Folge davon ist die mögliche Drucksenkung auf 1–20 mTorr (etwa 10^{-1} – 10^{-2} Pa) bei gleicher Sputterrate. Dies ermöglicht die Herstellung von dünnen Schichten mit einer anderen Gefügestruktur als dies bei höheren Drücken möglich wäre.

Die positiven Ionen bewegen sich durch eine überlagerte negative Offsetspannung am Target in Richtung des Targets und lösen dort wie beim DC-Sputtern durch Stöße Atome bzw. Moleküle aus dem Targetmaterial. Die anschließende Sputterdeposition entspricht denen anderer Sputterverfahren (siehe oben).

Vorteile:

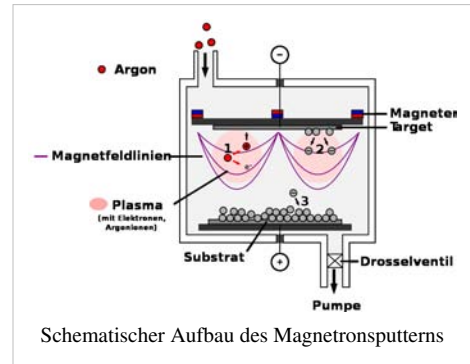
- Auch Isolatoren (z. B. Aluminiumoxid oder Bornitrid) und Halbleiter werden dadurch sputterbar
- das Substrat heizt sich weniger auf
- Durch die oszillierenden Elektronen ist die Sputterrate bei gleichem Kammerdruck etwa 10mal höher als beim DC-Sputtern.

Nachteile:

- Verhältnismäßig niedrige Beschichtungsraten
- die HF-Erzeugung ist aufwendiger als eine Gleichspannungsquelle
- Bei großen Rechteckkathoden (> 1 m) können Ungleichmäßigkeiten in der Plasmadichte (Schichtdickenverteilung) auftreten

Magnetronsputtern

Während bei der einfachen Kathodenzerstäubung lediglich ein elektrisches Feld angelegt wird, ist beim Magnetronsputter hinter der Kathodenplatte ein zusätzliches Magnetfeld angeordnet. Durch die Überlagerung von elektrischem Feld und magnetischem Feld bewegen sich die Ladungsträger nicht mehr parallel zu den elektrischen Feldlinien, sondern werden auf eine Spiralbahn (genauer Zykloidenbahnen) abgelenkt (siehe Lorentz-Kraft) – sie kreisen nun über der Target-Oberfläche. Dadurch wird deren Weg verlängert und die Zahl der Stöße pro Elektron erhöht sich. Die Elektronendichte ist dabei an der Stelle am höchsten, wo das Magnetfeld parallel zur Target-Oberfläche liegt. Dies bewirkt eine höhere Ionisation in diesem Bereich. Da die Ionen aufgrund ihrer Masse kaum vom Magnetfeld abgelenkt werden, findet der größte Sputterabtrag auf dem Target unmittelbar im Bereich darunter statt. Auf dem Target bilden sich dort die für das Magnetronsputtern typischen Erosionsgräben.



Das effektiv höhere Ionisierungsvermögen der Elektronen führt zu einer Erhöhung der Edelgasionenzahl und somit auch der Sputterrate. Da mehr Target-Material zerstäubt wird, führt dies zu deutlich höheren Beschichtungsraten bei gleichem Prozeßdruck. Da das Schichtwachstum und somit die Schichteigenschaften neben der Temperatur vor allem vom Prozessdruck abhängig ist, kann man bei gleichen Wachstumsraten den Prozessdruck um bis zu einhundert Mal geringer als beim konventionellen Kathodenzerstäuben ansetzen. Das führt zu weniger Streuung des Materials auf dem Weg zum Substrat und zu einer dichteren (weniger porösen) Schicht.

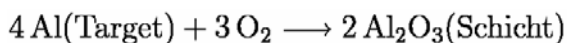
Magnetronsputtern ist in der Mikroelektronik das meisteingesetzte Verfahren zum Erzeugen von Metallschichten.

Hochenergieimpulsmagnetronsputtern

Das Hochenergieimpulsmagnetronsputtern^[1] (high-power impulse magnetron sputtering, HiPIMS) ist ein weiterentwickeltes Verfahren, das die Wirkung von pulsartigen Entladungen ($t \ll 1 \mu\text{s}$) mit Leistungen größer 1 MW nutzt, um einen deutlich erhöhten Ionisierungsgrad zu erreichen. Der hohe Grad der Ionisierung kann über einen geänderten Wachstumsmechanismus die Eigenschaften der aufwachsenden Schicht erheblich verändern, und führt beispielsweise zu einer höheren Haftfestigkeit.

Reaktives Sputtern

Dem Arbeitsgas (Ar) wird Reaktionsgas (z. B. Sauerstoff oder Stickstoff) zugesetzt. Dabei entstehen wie beim Arbeitsgas Ionen des Reaktionsgases, welche mit den gesputterten Schichtatomen in der Vakuumkammer reagieren. Die entstandenen Reaktionsprodukte scheiden sich anschließend an der Substratoberfläche ab. Zum Beispiel:



Reaktives Sputtern gibt es als DC- und HF-Variante.

Ionenstrahlsputtern

Beim Ionenstrahlsputtern (engl. *ion beam sputter deposition*, IBSD) wird aus einer Ionenquelle ein Strahl von Edelgas-Sputterionen (Ar, Kr, Xe) auf das Target geleitet. Der auftreffende Ionenstrahl wird mithilfe eines gerichteten Ionenstrahls zerstäubt. Dabei bietet das Ionenstrahlsputtern die Möglichkeit, die Teilchenenergien gezielt und energetisch schmalbandig einzustellen – die kinetische Energien der schichtbildenden Teilchen ist dabei höher als bei alternativen Vakuumbeschichtungstechniken wie Verdampfung oder Magnetronsputtern. Dadurch ist es möglich eine gleichmäßigere Kondensation^[1] des Materialdampfes zu erreichen und so u. a. dichte, glatte und defektfreie Schichten zu erzeugen.

Durch einen sogenannten Assist-Ionenstrahl ist es weiterhin möglich die wachsende Schicht zu beeinflussen oder einen zusätzlichen Reaktivprozess zu initiieren (siehe Ionenstrahlgestützte Deposition).^[2]

Atomstrahlsputtern

Auch isolierende Materialien können zur Vermeidung von elektrostatischen Aufladungen mit Hilfe von Atomstrahlen gesputtert werden, die zum Beispiel mit einem Kapillaritron erzeugt werden können.

Anwendung

Der Sputtereffekt wird in der Materialbearbeitung und Analytik für die Reinigung von Werkstoffen und Proben eingesetzt. So kann durch eine Sputterreinigung die Oberfläche von kleinen Partikeln und organischen Verschmutzungen befreit werden, so dass ein nachfolgender Beschichtungsprozess reproduzierbarer erfolgen kann. Ähnliches gilt für die Reinigung von Proben bei oberflächensensitiven Messtechniken, beispielsweise bei der Photoelektronenspektroskopie (UPS, XPS, usw.) durch kurzen Beschuss durch Argonionen. Der Sputtereffekt kann aber auch dazu dienen, um Informationen aus tieferen Bereichen zu erhalten. So kann bei Photoelektronenspektroskopie und Sekundärionen-Massenspektrometrie (SIMS) durch abwechselndes bzw. gleichzeitiges Sputtern und Messen ein Tiefenprofil von Schichtsystemen bestimmt werden – dabei müssen jedoch Effekte wie Vorzugssputtern (unterschiedliche Sputterraten für unterschiedlich schwere Atome) beachtet werden.

Die Sputterdeposition ist eine der Standardbeschichtungstechniken und findet vielfältige Anwendung in der Industrie. Die für die Beschichtung verwendbaren Materialien bzw. Materialsysteme unterscheiden sich stark durch das eingesetzte Spezialverfahren. Generell ist die Bandbreite an möglichen Materialien aber sehr groß. Mit „klassischen“ (passiven) Sputterdepositionsverfahren werden hauptsächlich Metalle abgeschieden, beispielsweise Titan, Wolfram und Nickel, aber auch Legierungen Nickelaluminium (NiAl) und Nichtmetalle wie Silicium oder Siliciumdioxid (SiO_2) sind möglich. Reaktive Verfahren hingegen ermöglichen durch den Einbau zusätzlicher Komponenten aus dem Gasraum die Abscheidung von Metallverbindungen, beispielsweise Metalloxide wie Aluminiumoxid (Al_2O_3) mit hoher Präzision in der Stöchiometrie der Schicht.

In der Halbleitertechnologie und Mikrosystemtechnik wird das Verfahren vor allem für die Herstellung von dünnen Schichten eingesetzt. Aber auch in anderen industriellen Bereichen werden gesputterte Dünnschichten eingesetzt, beispielsweise in der Material- bzw. Oberflächenveredelung (z. B. Spiegel, Autoscheinwerfer, Autofelge) oder in der Optik als funktionelle Schicht (z. B. Dünnschicht-Polarisator, Wärmeschutzglas).

Nachteile

Generell ist bei der Reinigung der Oberfläche bei empfindlichen Materialien (z. B. Graphit-Einkristallen) durch Sputtern zu bedenken, dass durch das Sputtern die Kristallstruktur (teilweise) zerstört wird. Bei zu starkem Sputtern, also bei zu hoher Energie der Ionen, besteht zusätzlich die Gefahr, dass die noch nicht abgetragenen Schmutzpartikel in die Oberfläche eingebracht werden (engl. knock-on effect).^[3]

Literatur

- P. J. Martin: *Ion-based methods for optical thin film deposition*. In: *Journal of Materials Science*. 21, Nr. 1, 1986, S. 1–25, doi:10.1007/BF01144693^[4].

Weblinks

- Vorlesungsskript Dünnschichttechnik ^[5] - Institut für Mikrosystemtechnik, Freiburg (PDF-Datei; 2,90 MB)
- Sputtering Basics - Animation eines Sputterprozesses ^[6] W. C. Heraeus GmbH, Hanau (Flash-Movie)

Einzelnachweise

- [1] Wolfgang Bergmann: *Werkstofftechnik 2: Werkstoffherstellung- Werkstoffverarbeitung- Werkstoffanwendung*. Hanser Verlag, 2009, ISBN 9783446417113, S. 215.
- [2] Peter Gawlitza, Stefan Braun, Andreas Leson, Sebastian Lipfert, Matthias Nestler: *Herstellung von Präzisionsschichten mittels Ionenstrahlsputtern*. In: *Vakuum in Forschung und Praxis*. 19, Nr. 2, 2007, S. 37–43, doi: 10.1002/vipr.200700310 (<http://dx.doi.org/10.1002/vipr.200700310>).
- [3] Diederik Depla, Stijn Mahieu: *Reactive Sputter Deposition*. Springer, 2008, ISBN 978-3540766629, S. 172.
- [4] <http://dx.doi.org/10.1007%2F01144693>
- [5] [http://www.imtek.de/anwendungen/content/upload/vorlesung/2008/mst_t&p_04__duennschichttechnik_\(ws_07-08\).pdf](http://www.imtek.de/anwendungen/content/upload/vorlesung/2008/mst_t&p_04__duennschichttechnik_(ws_07-08).pdf)
- [6] http://www.heraeus-targets.com/en/technology/_sputteringbasics/sputtering.aspx

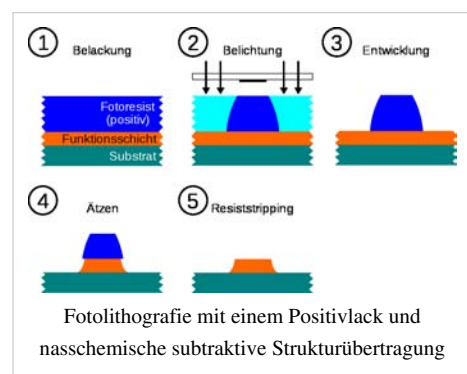
Fotolithografie (Halbleitertechnik)

Die **Fotolithografie** (auch *Photolithographie*) ist eine der zentralen Methoden der Halbleiter- und Mikrosystemtechnik zur Herstellung von integrierten Schaltungen und weiteren Produkten. Dabei wird mittels der Belichtung das Bild einer Fotomaske auf einen lichtempfindlichen Fotolack übertragen. Anschließend werden die belichteten Stellen des Fotolacks aufgelöst (alternativ ist auch die Auflösung der unbelichteten Stellen möglich, wenn der Fotolack unter Licht aushärtet). So entsteht eine lithografische Maske, die die weitere Bearbeitung durch chemische und physikalische Prozesse ermöglicht, etwa das Einbringen von Material in die offenen Fenster oder das Ätzen von Vertiefungen unter den offenen Fenstern.

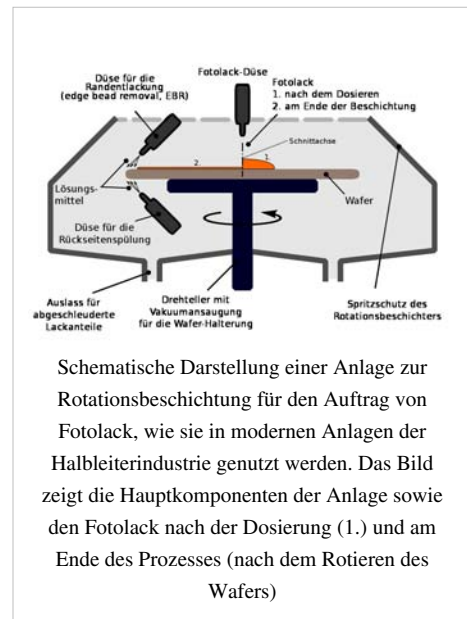
Prozessbeschreibung

Grundprinzip

Das Grundprinzip der Fotolithografie ist die Strukturierung einer dünnen ganzflächig abgeschiedenen Opferschicht aus Fotolack durch eine lokale Änderung der chemischen Eigenschaften des Fotolacks und dessen Entfernung in den veränderten (Negativlack) bzw. unveränderten (Positivlack) Bereichen.



Im ersten Teilschritt wird dazu der flüssige Fotolack durch Rotationsbeschichtung (engl. *spin-coating*) oder andere geeignete Methoden auf ein Substrat (Wafer) aufgebracht. Anschließend wird die Lackschicht mit einem Ausheizschritt bei ca. 110 °C behandelt (pre bake bzw. soft bake), dabei desorbiert das Lösungsmittel sowie ein Großteil des vorhandenen Wassers, wodurch der Fotolack stabilisiert wird. Für die chemischen Reaktionen bei der nachfolgenden Belichtung ist es jedoch wichtig, dass nicht das gesamte Wasser desorbiert und ein gewisses Maß an Restwasser in der Schicht verbleibt.



Beispiele für Anlagen mit niedrigem Durchsatz (Forschungsbereich, usw.)



Rotationsbeschichtungsanlagen für den Photolackauftrag unter photochemisch unwirksamer Beleuchtung („Gelblicht“)



Mask-Aligner (links: MA-6) und Mask-Aligner (rechts: MJB3)



Zwei Mask-Aligner (links: EVG-620; rechts: MA-150)

Vor der Belichtung des Fotolacks wird der Wafer zunächst genau auf das optische System der Belichtungsanlage ausgerichtet. Dazu dienen in der Regel spezielle Markierungen aus vorhergehenden Prozessschritten (direkte Ausrichtung) oder anlagenspezifische Fixpunkte (indirekte Ausrichtung). Die Belichtung selbst kann auf sehr unterschiedliche Art und Weise durchgeführt werden. Hierfür stehen verschiedene Belichtungstechniken (siehe unten) zur Verfügung, die sich nicht nur in der Wellenlänge des genutzten monochromatischen Lichts unterscheiden, sondern auch in der Position der Maske, die Abfolge der Belichtung (Flutbelichtung, Stepper, Scanner, ...), der verwendeten Polarisation des Lichtes usw. Dabei werden die chemischen Eigenschaften des Fotolacks in den belichteten Bereichen durch eine photochemische Reaktion verändert – je nach Art des Fotolacks wird der Lack entweder löslich oder unlöslich gegenüber der eingesetzten Entwicklerlösung. Ein erneuter Tempersschritt (engl. *post exposure bake*) dient zur Diffusion der (photo-)chemischen Komponenten (Glättung der Fotolackstrukturprofile) und ggf. zur Verstärkung der photochemischen Reaktion bei photochemisch verstärkten Fotolacken (engl. *chemically amplified resist*, CAR).

Im dritten Teilschritt erfolgt die Entwicklung des Fotolacks, das heißt, die löslichen Bereiche der Schicht werden mithilfe einer Entwicklerlösung (z. B. eine schwach basische TMAH-Lösung) nasschemisch durch Sprühen, Tauchen oder Auftropfen gelöst und entfernt. Anschließend wird der Wafer mit deionisiertem Wasser gespült und trocken geschleudert. Danach erfolgt nochmals ein Tempersschritt (engl. *hard bake*, ca. 100 bis 180 °C), bei dem der nun strukturierte Fotolack nochmals getrocknet und ggf. durch eine Vernetzungsreaktion stabilisiert wird. Dies ist

notwendig, da die Schicht in den nachfolgenden Prozessschritten (Trockenätzen, Ionenimplantation) stark beansprucht wird.

Abschließend wird der gesamte Prozess überprüft. Dies kann neben einer optischen Inspektion Detektion von Defekten (eingeschlossene Partikel, nicht entwickelte Bereiche usw.) auch die Messung der Ausrichtung gegenüber vorhergehenden Prozessschritten (Overlay-Messung, optisch sowie per Rasterelektronenmikroskop) oder der Linienbreite (CD-Messung; Rasterelektronenmikroskop) umfassen. Sollten hierbei zu viele Fehler festgestellt worden sein, wird die Fotolackschicht vorzeitig entfernt und die gesamte Prozedur nochmals wiederholt (Nacharbeitung, engl. *rework*).

Nach Belichtung und Entwicklung des latenten Bildes kann die Strukturinformation durch weitere Prozesse in eine darunterliegende Schicht übertragen werden, beispielsweise durch das Ätzen der Schicht oder durch das Einbringen von Fremdatomen (Dotierung). Des Weiteren können aber auch additive Verfahren wie die in der Mikrosystemtechnik genutzten Prozesse LIGA und Lift-off die strukturierte Fotolackmaske als Opferschicht nutzen. Generell kann die Fotolackmaske als eine Art Opferschicht angesehen werden, da sie nur für den direkt nachfolgenden Prozess benötigt und anschließend vollständig entfernt wird. Dazu verwendet man in der Regel Plasmaverascher (Sauerstoffplasma). Der Fotolack kann aber auch durch nasschemische Prozesse wieder aufgelöst werden. Dies ist aber stark abhängig vom eingesetzten Lack und dem nachfolgenden Prozess, beispielsweise kann sich der Lack beim Trockenätzen einer unterliegenden Schicht stark verändern und so nicht mehr löslich sein.

Das Wiederholen dieser Prozessabfolge mit verschiedenen aufeinanderfolgenden Schichten und einer genauen Justierung der einzelnen Muster zueinander ist eine Schlüsseltechnologie bei der Herstellung von integrierten Schaltkreisen (umgangssprachlich „Mikrochips“). Die Weiterentwicklung der Fotolithografie bzw. ihre Ablösung durch neuere Verfahren sind mit entscheidend dafür, wie lange die Entwicklung der Mikroprozessortechnologie noch der Planungsgrundlage „Moore'sches Gesetz“ folgen kann.

Verbesserungen

Um die Haftung der Fotolackschicht zu verbessern, wird der Wafer oftmals vor dem Auftrag des Fotolacks mit einem Haftvermittler wie Hexamethyldisilazan (HMDS) behandelt. Des Weiteren kommen Hilfsschichten zur Reduzierung von Reflexionen und stehenden Wellen (Antireflexionsschicht), Verbesserung der Planarität der Oberfläche (besser Kontrolle der Schichtdickenhomogenität) oder zum Schutz des Fotolacks bei der Immersionslithografie zum Einsatz.

Vor allem in der industriellen Produktion wird während des Prozesses die Rückseite und der Wafer-Rand (Vorderseite; bis zu 2 mm) mit Lösungsmittel besprüht. Dies soll zum einen Lackansammlungen auf der Rückseite und die Ausbildung einer Lackwulst am Rand verhindern. Hintergrund ist, dass Lackreste oder andere Partikel bei der Belichtung zwischen Wafer und Auflage (engl. chuck) liegen und zu einer lokalen Erhöhung der Waferoberfläche bzw. Verbiegung des Wafers führen. Diese geringen Höhendifferenzen liegen außerhalb der Toleranzgrenzen für den Fokus und führen zu Fehlern bei der Abbildung. Die Randentlackung (engl. edge bead removal, EBR) hingegen soll die unerwünschte Lackwulst am Wafer-Rand entfernen, sie bildet sich durch die Oberflächenspannung der Lacke bei der Beschichtung. Lackwülste sind gekennzeichnet durch Schichtdickenänderungen im Randbereich, die wiederum den Belichtungsprozess in diesem Bereich negativ beeinflussen. Um eine maximale Ausbeute an Chips zu erreichen, ist es daher notwendig, die Schichtdicke in diesem Bereich anzugleichen. Dies kann durch den Einsatz der Randentlackung, also der lokalen Verdünnung des Fotolacks (die verdünnten Anteile werden durch die Fliehkraft vom Wafer weg geschleudert), erreicht werden. Zusätzlich kann die Homogenität und Stabilität des Fotolacks am Schichtrand durch eine breitbandige Kantenbelichtung verbessert werden. Sie erfolgt direkt nach der Beschichtung und dem „soft bake“ des Fotolacks.

Auflösungsvermögen und Schärfentiefe

Bei der optischen Lithografie wird die Struktur einer Fotomaske mittels Schattenwurf oder Projektion in einen lichtempfindlichen Fotolack übertragen. Das Auflösungsvermögen, das heißt die Fähigkeit des optischen Systems, die kleinsten Strukturen in den Fotolack abzubilden, wird im Wesentlichen von der verwendeten Lichtwellenlänge und der Fähigkeit des Systems, genug Beugungsordnungen der Maske einzufangen, bestimmt. Sie lässt sich näherungsweise beschreiben durch:

$$CD = k_1 \cdot \frac{\lambda}{NA}$$

hierbei ist **CD** die kleinste abbildbare Linienbreite (oft auch mit den englischen Begriffen *minimum feature size* oder *critical dimension* bezeichnet), k_1 ein vom Abbildungs- und Lacksystem abhängiger Faktor, der in der Produktion ungefähr den Faktor 0,4 beträgt, λ die Wellenlänge des genutzten Lichts und **NA** der numerischen Apertur der letzten Linse vor dem Wafer.

Ausgehend von dieser Gleichung kann das Auflösungsvermögen durch die Reduzierung der verwendeten Wellenlänge und des k_1 -Faktors verbessert werden. Hier wurden in den letzten Jahren zahlreiche Verbesserungen in die fotolithografischen Prozesse (Lackchemie, usw.) eingeführt, durch die der k_1 -Faktor von ca. 0,8 bis auf $0,38^{[1]}$ bei heutigen Spitzenprodukten reduziert werden konnte (theoretisches Minimum liegt bei $0,25^{[1]}$). Auch die verwendete Wellenlänge

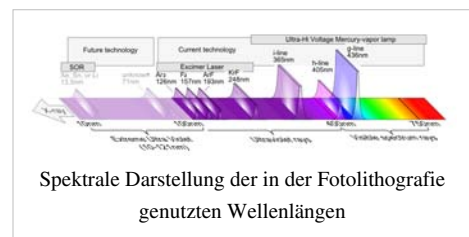
(genauer Vakuumwellenlänge) wurde über die Jahre hinweg stufenweise reduziert, um das Auflösungsvermögen zu verbessern. So nutzte man in Mitte der 1970er Jahre zunächst die g-Linie (434 nm) und seit Anfang der 1980er Jahre die i-Linie (365 nm) des Emissionsspektrums einer Quecksilberdampflampen. In den 1990er Jahren folgte der Umstieg auf monochromatisches Licht von Excimerlaser, hier nutzte man zunächst KrF-Excimerlaser (248 nm, auch engl. deep ultraviolet, DUV, genannt) und später (bis heute) ArF-Excimerlaser (193 nm). Weiterhin ist eine Verbesserung der Auflösung auch über die Erhöhung der numerischen Apertur möglich. Auch hier gab es zahlreiche Verbesserungen und Optimierungen. So betrug die NA für Spitzenprodukte mit g-Linien-Belichtung maximal 0,45 (theoretisches Maximum für ein Nichtimmersionssystem beträgt 1). Bei heutigen, in der Industrie eingesetzten Systemen auf Basis von ArF-Excimerlasern wurde dieser Wert auf ca. $0,93^{[1]}$ gesteigert. Durch diese Verbesserungen können heute (2011) auch Strukturen unterhalb von 40 nm aufgelöst werden – weitere Reduzierungen sind durch den Einsatz von Immersionsflüssigkeiten (siehe Immersionslithografie) und noch kürzeren Wellenlängen möglich.

Ein weiterer wichtiger Parameter bei der optischen Abbildung ist die Schärfentiefe (engl. depth of focus, DOF) des abbildenden Systems.

$$DOF = k_2 \cdot \frac{\lambda}{NA^2}$$

mit k_2 einem weiteren prozessspezifischen Parameter (auch Rayleigh-Koeffizient genannt). Für eine möglichst gute Abbildung in einem Lack endlicher Dicke ist eine hohe Schärfentiefe wünschenswert. Auf diese Weise kann über die gesamte Schichtdicke eine gleichförmige Abbildung erreicht und auch typischerweise auftretende Unebenheiten in der Wafer-Topografie ausgeglichen werden. Wie in der vorhergehenden Gleichung zu sehen ist, sinkt auch die Schärfentiefe mit steigender numerischer Apertur. Aus diesem Grund muss in der Praxis die NA mit dem restlichen Prozess und den gewünschten Anforderungen abgestimmt werden.

Des Weiteren werden heutzutage für die Belichtung von kritischen Ebenen, das heißt der Herstellung der kleinsten Strukturen in ICs, wie dem Gate-Kontakt oder die ersten Metallisierungsebenen, diverse Techniken eingesetzt, die das Auflösungsvermögen und die Abbildungstreue verbessern. Zu nennen sind hier vor allen die Optical Proximity Correction (OPC), Phasenmasken (engl. phase-shifting mask, PSM), Schrägbelichtung (engl. off-axis illumination,



OAI) und reflexionsmindernde Techniken (z. B. Antireflexionsschichten sowie Mehrfachstrukturierungsverfahren wie das *Double-Exposure*- und das *Double-Patterning*-Verfahren. Mithilfe dieser Techniken lassen sich auch deutlich kleinere Strukturbreiten unterhalb der Beugungsgrenze herstellen, beispielsweise 65 nm mit 193-nm-ArF-Excimerlaser, bzw. 28 nm, wenn zusätzlich ein Immersionmedium eingesetzt wird. Aus Kostengründen wird in der Produktion aber nicht nur eine spezifische Technik genutzt, sondern es kommen je nach Anforderungen an das Auflösungsvermögen Systeme verschiedener Wellenlängen zum Einsatz. So sind die Anforderungen bezüglich der Auflösung bei höheren Metallisierungsebenen bei Weitem nicht so hoch, wie sie bei der Strukturierung des Gates (eines MOSFETs) benötigt werden.

Defekte

Defekte sind eines der wesentlichen Kriterien für die Beurteilung der Abbildungsqualität eines fotolithografischen Prozesses. Die Hauptursache von Defekten sind Partikel aus der Umgebung oder vorhergehenden Prozessen sowie Schichtdickeninhomogenitäten des Fotolacks. Auch mechanische Beschädigungen der Maske oder der Wafer sind mögliche Defekte, die vor allem bei der Kontaktbelichtung auftreten können. Neben der Erkennung von Defekten auf dem Wafer sind vor allem die Erkennung und Entfernung von Defekten auf der Fotomaske wichtig. Denn in einem Belichtungsfeld einer Fotomaske befindet sich das Layout von ca. 2 bis 6 Chips (Belichtung im Step-and-Repeat-Verfahren). Ein Defekt auf der Fotomaske würde sich daher gleich vielfach auf dem Wafer abbilden und somit die Ausbeute drastisch reduzieren.

Partikel aus der Umgebung sind meist natürlich vorkommende Staubteilchen in der Luft. Sie können sich beispielsweise auf der Fotomaske oder der Oberseite der aufgetragenen Fotolackschicht absetzen und dort zu zusätzlichen Maskierungen führen. Ähnlich wie bei lokalen Defekten in der Fotomaske (z. B. Chromreste oder zu viel entferntes Chrom) selbst sind Abbildungsfehler die Folge. Aus diesem Grund findet die Belichtung und die gesamte Handhabung der Fotomasken und Wafer in einer Reinraumumgebung mit stark reduzierter Staubkonzentration statt. Da sich solche Partikel aber auch in dieser Umgebung nicht ganz verhindern lassen, wird die Maske regelmäßig auf Defekte inspiziert und ggf. mit gereinigter Luft abgeblasen. Zusätzlich wird die strukturierte Seite der Fotomaske durch ein sogenanntes Pellikel geschützt. Ein Pellikel ist eine transparente Schutzfolie, die in einem Abstand von wenigen Millimetern über dem Belichtungsfeld der Fotomaske gespannt ist. Sie soll verhindern, dass sich Partikel in den feinen Gräben der Maske festsetzen.

Neben den Partikeln, die einen maskierenden Effekt haben sind Partikel auf der Waferrückseite oder der Waferauflage eine weitere Ursache für Abbildungsfehler. Sie verursachen eine lokale Verschiebung der Lackschicht in Z-Richtung und führen damit zu einer fehlerhaften Fokussierung. Quellen für solche Partikel können u.a. vorhergehende Prozesse sein, beispielsweise Partikel, die bei einer CVD-Beschichtung entstanden sind und sich an der Waferrückseite anheften.

Defekte in der Lackschicht können zum einen globale Abweichungen in der Schichtdicke vom Zielwert, zum anderen lokale Inhomogenitäten durch Partikel sein und z.B. durch Probleme bei Belackung auftreten. Die globalen Schichtdickenunterschiede können beispielsweise durch falsche Prozessparameter oder Änderungen in den Lackeigenschaften verursacht werden. Sie sind relativ leicht beherrschbar und können durch regelmäßige Testbeschichtungen weitgehend verhindert werden. Lokale Schichtdickenunterschiede entstehen beispielsweise durch Partikel auf dem Wafer, sie stören die gleichmäßige Verteilung des Lacks und ergeben in der Regel einen Defekt mit kometenähnlichem Aussehen. Andere Ursachen sind nachtropfende Lackdüsen oder Rückspritzer.

Zur Detektion von Defekten werden sowohl optische Verfahren als auch die Rasterelektronenmikroskopie eingesetzt. So wird beispielsweise der beschichtete und prozessierte Wafer optisch inspiziert und vollautomatisch mit einem Referenzbild verglichen. Damit lassen sich größere Defekte, vor allem lokale Defekte in der Lackdicke erkennen. Der Einsatz der Rasterelektronenmikroskopie auf belackte und belichtete Wafer wird weitgehend vermieden und nur zur lokalen Detailuntersuchung oder der Linienbreitenmessung (zur Überwachung der Belichtungsdosis und des Fokus) eingesetzt. Hauptgrund dafür ist, dass der Elektronenstrahl den Lack chemisch

verändert und somit Einfluss auf die abgebildete Struktur hat. Dies kann sich nachteilig auf nachfolgende Prozesse wie das Trockenätzen auswirken. Auch die Inspektion der Fotomasken erfolgt zu einem Großteil mit optischen Messverfahren. Hierbei haben sich vor allem automatische Verfahren durchgesetzt, bei denen die örtliche Intensitätsverteilung der transmittierten und reflektierten Anteile eines senkrecht einfallenden Laserstrahls gemessen wird. Durch den Vergleich mit den Layoutdaten lassen sich so Defekte bei der Maskenherstellung ermitteln. In der Produktion erfolgt der Vergleich meist mit Daten einer Referenzmessung oder mit einem benachbarten gleichen Chip auf der gleichen Fotomaske.

Belichtungstechniken

Kontaktbelichtung

Hier wird die Fotomaske in direkten Kontakt mit dem Wafer gebracht. Das Verfahren bietet die beste Auflösung von den Schattenwurfverfahren, da der Auflösungsverlust durch Lichtbeugung auf das durch die Lackdicke bedingte Minimum reduziert wird. Nachteilig ist jedoch, dass die Maske bzw. der auf dem Wafer aufgetragene Fotolack durch den Kontakt beschädigt werden kann, z. B. wenn sich ein Staubkorn zwischen beiden befindet. Außerdem werden auch Defekte (z. B. Verunreinigungen der Maske) ebenso wie die erwünschten Strukturen 1:1 auf den Fotolack übertragen, was zu groben Fehlern wie beispielsweise Kurzschlüssen auf dem Wafer führen kann.

Proximitybelichtung

Bei dieser Art der Belichtung wird die Maske mit einem Abstand (engl. *proximity gap*) von ca. 10–50 Mikrometern über dem Fotolack positioniert. Dieser Abstand hilft, Resist und Maske vor Beschädigung zu schützen.

Projektionsbelichtung

Bei der Projektionsbelichtung wird die Fotomaske nicht im Maßstab 1:1 im Resist abgebildet, wie es bei der Kontakt- und Proximitybelichtung naturgemäß der Fall ist, sondern die Masken werden durch ein Linsensystem verkleinert (typischerweise im Maßstab 5:1 oder 4:1) abgebildet. Ein großer Vorteil dabei ist, dass Partikel, die sich auf der Maske abgesetzt haben, auch verkleinert werden und daher einen geringeren Einfluss auf die erzeugten Strukturen haben. Weiterhin sind die verwendeten Fotomasken wesentlich einfacher (und preiswerter) zu fertigen, da auf ihnen die Strukturbreiten um ein Vielfaches größer sind. Da die Abbildung einer Maske auf diese Weise nicht den ganzen Wafer abdecken kann, werden die Wafer mittels extrem präziser Mechaniken (z. B. Piezo-Linearantrieb) bewegt und so positioniert, dass die Abbilder der Maske auf einem Raster mit engen Toleranzen liegen (sogenanntes *step-and-repeat*-Verfahren, die dazu verwendeten Apparate heißen auch „Wafer-Stepper“). Wegen der endlichen Schärfentiefe der Abbildungsoptiken können nur dünne Fotolacke mit dieser Methode belichtet werden, während mit Kontakt- und Proximitybelichtung auch Lithografie in dicken Fotolacken möglich ist (ein extremes Beispiel ist der Dicklack SU-8). Um tiefere Strukturen (genauer: Strukturen mit hohen Aspektverhältnissen, also Strukturen, die tiefer sind als breit) ausgehend von der Projektionsbelichtung zu erzeugen, wird der (dünne) Fotolack auf eine dicke Schicht von Material aufgebracht, das nach der Entwicklung anisotrop geätzt werden kann. Anisotrope Ätzverfahren sind beispielsweise das reaktive Ionenätzen oder Ionendünung.

Sonderformen und Weiterentwicklungen

Immersionolithografie

Die Immersionolithografie entspricht im Wesentlichen der Projektionsbelichtung. Jedoch liegt bei der Belichtung zwischen Projektionslinse und Fotolack nicht Luft, sondern ein flüssiges Medium. Die Immersionsflüssigkeit kann zum Beispiel Reinstwasser sein. Deren im Vergleich zu Luft höherer Brechungsindex vergrößert die numerische Apertur des Abbildungssystems. Dies erlaubt es, kleinere Strukturen zu erzeugen.

Erste Entwicklungen veröffentlichte IBM im Februar 2006^[2] Schon damals zeigten sie in Laborversuchen eine Strukturabbildung mit einer Linienbreite (engl. *critical dimension*, CD) von 29,9 nm. Diese Technik wurde 2007 erstmals in der Massenproduktion eingeführt. Hier kamen auch erstmals Spiegellinsenobjektive zum Einsatz. Zurzeit (Januar 2010) werden mit dieser Technik in der Produktion von Chips Strukturgrößen von 32 nm erreicht (mit 193-nm-Laserstrahlung).^[3] Durch den Einsatz der Immersionolithografie konnte der Umstieg auf komplett neue und damit teurere Lithografiekonzepte wie der Röntgen- oder der Elektronenstrahlolithografie bislang verschoben werden.

Dabei kommen zumindest teilweise weitere Techniken und Belichtungsverfahren zum Einsatz, die es erlauben kleinere Strukturen im Fotolack abbilden zu können. Beispiele hierfür sind das *Double-Exposure*- und das *Double-Patterning*-Verfahren bei denen ein Wafer zweimal belichtet wird. Zunächst wird eine Struktur mit der maximal erreichbaren optischen Auflösung aufgebracht (z. B. mit 45 nm Strukturbreite), danach die Position des Wafers um die halbe Auflösung verändert (22 nm) und dann eine zweite Struktur projiziert. Die Positioniergenauigkeit der Wafer-Stepper reicht für diesen Prozess aus, durch die wiederholte Belichtung erhöhen sich aber die Prozesszeiten. Durch *Double-Patterning* konnten in Kombination mit der Immersionolithografie bei 193 nm bereits Strukturgrößen von 22 nm erzielt werden. Eine Kombination von *Double-Patterning* und der 32-nm-Immersionolithografie könnte gar eine Strukturgröße von 16 nm ermöglichen, die bisher der EUV-Lithographie vorbehalten schienen. Um dieses Ziel zu erreichen, sind die optischen Eigenschaften von Reinstwasser als Immersionsflüssigkeit nicht mehr ausreichend. So kommen derzeit auch Immersionsflüssigkeiten mit einem höheren Brechungsindex von bis zu 1,8 zum Einsatz bzw. es wird an Alternativen geforscht. Sie sollen unter anderem eine bessere Anpassung an das Linsensystem ermöglichen (eines der Ziele ist beispielsweise die weitere Erhöhung der numerischen Apertur).

Grautonolithografie

Die Grautonolithografie wurde mit dem Ziel entwickelt, eine gewünschte Lacktopografie nach der Entwicklung zu erhalten und so neue Anwendungen im Bereich der Mikrosystemtechnik zu ermöglichen, beispielsweise für die Herstellung von 3D-Strukturen^[4]. Damit wird ein neues Konzept der Fotolithografie verfolgt, bei der es normalerweise um die Herstellung von binären Strukturen, das heißt Strukturen bestehend aus komplett entfernten und unveränderten Bereichen, geht. Die Oberflächentopografie wird durch eine laterale Variation der Belichtungs-dosis unter Ausnutzung der monoton aber nichtlinear verlaufenden Entwicklungsrate von der Belichtung realer Fotolacke erreicht. Bei dicken Lackschichten, das heißt Dicken über 5 µm also deutlich oberhalb der Eindringtiefe der verwendeten UV-Strahlung von 1–2 µm⁻¹, kann ein ähnlicher Effekt auch über die Steuerung der Belichtungszeit erreicht werden. Hierbei wird ausgenutzt, dass der Lack nach der Belichtung eine wesentlich geringere Absorption für die verwendete UV-Strahlung aufweist.^[5] Nach der Entwicklung kann die Fotolackstruktur beispielsweise durch stark anisotrope Trockenätzprozesse in die darunterliegende funktionale Schicht übertragen werden.

Praktisch realisieren lässt sich eine variable Belichtungs-dosis zum einen über Mehrfachbelichtungen zum anderen über Grautonmasken und Pseudo-Grautonmasken. Bei Mehrfachbelichtungen wird je nach gewünschter Struktur entweder eine Maske schrittweise verschoben oder mehrere binäre Masken mit unterschiedlichen Abschattungen genutzt. Zusätzlich kann jeder Belichtungsschritt auch unterschiedliche Belichtungs-dosen aufweisen, um bessere Ergebnisse zu erzielen. Pseudo-Grautonmasken sind normale binäre Masken, bei denen Strukturen verwendet werden, die kleiner sind als die Auflösungsgrenze des Projektionsobjektives (diffraktive Optik). Dies führt zu einer

Helligkeitsmodulation im Bildbereich (ähnlicher Effekt wie bei gerasterten Bildern z. B. im Zeitungsdruck). „Richtige“ Grautonmasken weisen hingegen Bereiche mit unterschiedlichem Transmissionsgrad auf. Dieser wird in der Regel über eine Schicht eines (teilweise) absorbierenden Materials realisiert, deren Dicke im Bereich vollständiger Absorption und Transmission variiert wird. Dies kann z.B. über ein sehr fein abgestuftes Profil realisiert werden.^{[6] [7]}

Laserlithografie / Maskenlose Direktbelichtung

Mit Excimer-Lasern oder ähnlichen Quellen kann der Röntgenlithografieschritt durch die Laserlithografie ersetzt werden. Dabei werden ultrakurze Laserpulse verwendet mit einer Ein-Photonen-Energie unterhalb der Absorptionsschwelle des photosensitiven Mediums. Dies bedeutet, dass das zu belichtende Material transparent für das verwendete Laserlicht ist. Wird jedoch dieser Laserstrahl stark fokussiert, so werden im fokalen Volumen Mehrphotonen-Absorptionsprozesse wahrscheinlich. Dies ermöglicht eine chemische oder physikalische Modifikation im fokalen Volumen, und letztlich eine selektive Löslichkeit des belichteten Bereichs relativ zu dem umgebenden. Nach dem Bad in einem Entwickler können so, abhängig von dem verwendeten photosensitiven Material unbelichtete oder belichtete Bereiche herausgelöst werden. Somit können nahezu beliebige 3D-Strukturen aus unterschiedlichen photosensitiven Materialien (z. B. SU-8, Ormocere, Polydimethylsiloxan, Chalkogenid-Gläser) hergestellt werden.

Alternative Verfahren

EUV-Lithografie

Als konsequente Fortsetzung der optischen Lithografie hin zu kürzeren Wellenlängen und damit kleineren Strukturen gilt die EUV-Lithografie (engl. *extreme ultra violet*), die bis zum Jahr 2016 Wellenlängen um 13,5 nm nutzen soll, um Strukturen zwischen 22 nm und 16 nm und kleiner zu erzeugen. Die Systeme müssen dafür vollständig im Hochvakuum betrieben werden, und die Strahlung kann nicht mehr durch Linsen, sondern nur durch Spiegel gelenkt werden. Bei 13 nm gibt es keine transparenten Materialien mehr, und auch Gase jeder Art würden die Strahlung stark absorbieren. Eine für die Produktion geeignete Hochleistungsstrahlungsquelle ist jedoch noch nicht verfügbar. Da die verwendete Wellenlänge nicht, wie in der UV-Lithografie üblich, durch einen Laser emittiert werden kann, sind derzeit mehrere Firmen mit der Entwicklung von EUV-Plasma-Quellen beschäftigt.

Röntgenlithografie

Bei der Verwendung von Röntgenstrahlen aus Quellen mit der nötigen Konvergenz (z. B. Synchrotronstrahlung) lassen sich theoretisch kleinere Strukturen herstellen, bzw. das Verfahren besitzt eine erheblich größere Tiefenschärfe. Die Maskentechnik gestaltet sich allerdings sehr aufwändig, so dass bis heute keine großtechnische Anwendung dieses Verfahrens abzusehen ist. Sie ist nahe verwandt mit der EUV-Lithografie. Erhebliche Forschungstätigkeiten wurden in den späten 1980er und frühen 1990er Jahren zum Beispiel am ersten Berliner Elektronensynchrotron BESSY vom Fraunhofer Institut für Siliziumtechnik durchgeführt. Die dort verwendete Synchrotronstrahlung hatte ein Emissionsmaximum bei einer Wellenlänge von ca. 7 nm. Die Röntgenlithografie wird im Rahmen des LIGA-Verfahrens zur Herstellung von dreidimensionalen Strukturen mit großem Aspektverhältnis (Verhältnis von Höhe zu lateraler Abmessung) eingesetzt. Diese Strukturen finden Anwendung in der Mikrosystemtechnik. Wesentliche Arbeiten zu dieser Röntgentiefenlithografie werden am Forschungszentrum Karlsruhe mit der dort vorhandenen Synchrotronstrahlungsquelle ANKA^[8] und dem Synchrotronstrahlungslabor durchgeführt.

Elektronen- und Ionenstrahlithografie

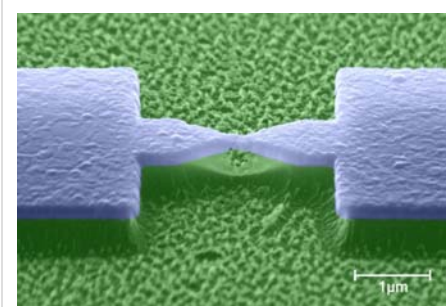
Mit Teilchenstrahlithografien (Elektronen- und Ionenstrahlithografie) lassen sich die technischen Schwierigkeiten bei der hochauflösenden Lithografie besser beherrschen. Die Ursache hier für liegt im Beugungsverhalten solcher Teilchenstrahlen. Nimmt man näherungsweise die halbe Wellenlänge der zur Belichtung eingesetzten Strahlung, dann ist erkennbar, dass das Auflösungsvermögen von Teilchenstrahlen deutlich erhöht ist. Denn die De-Broglie-Wellenlänge von Elektronen mit einer Energie von einigen Kiloelektronenvolt beträgt nur wenige Picometer (im Vergleich zu Nanometern bei „photonischen Verfahren“).

Anders als bei den Lithografieverfahren, die Photonen nutzen, wird bei diesen Methoden die Energie mittels der Elektronen oder Ionen in den „Fotolack“ übertragen. Statt eines optischen Linsensystems werden beispielsweise Elektronenstrahlschreiber eingesetzt. Sie entsprechen vom Funktionsprinzip her modifizierten Rasterelektronenmikroskopen. Solche Anlagen mit Direktschreibverfahren werden schon länger zur Herstellung von Fotomasken für die optische Lithografie eingesetzt – diese sind aber in der Regel vier- bzw. fünffach größer als die späteren, mit konventionellen Methoden abgebildeten Strukturen auf dem Wafer. Der geringe Durchsatz dieses Direktschreibverfahrens verhindert allerdings die Verwendung solcher Systeme bei der Massenproduktion von Halbleiterbauelementen.

Die hohen Kosten für hochauflösende Fotomasken jedoch führen zu vermehrten Versuchen, die Elektronenstrahlithografie auch in Chip-Produktionsanlagen einzuführen, wenigstens für Versuchsfertigungen der neuesten Technologien und besonders kritische (und damit besonders teure) Fertigungsschritte in der normalen Produktion. Aus diesem Grund wird auch nach alternativen Konzepten wie Multistrahlschreiber (bis zu mehreren hundert Elektronenstrahlen parallel) oder mit der konventionellen Fotolithografie vergleichbaren Techniken wie Flut- oder Projektionsbelichtung unter Einsatz von Ionenstrahlen gearbeitet. Mit ihnen wären höhere Wafer-Durchsätze möglich. Aber auch hier ist derzeit aufgrund der aufwändigen Maskentechnik keine Anwendung in großem Maßstab in Sicht.

Nano-Imprint-Lithografie (NIL)

Dieses Verfahren ist eine Alternative zur klassischen EUV-Lithografie. Statt Belichtung kommt hier ein Prägeverfahren zum Einsatz. Die Auflösungsgrenzen des Nano-Imprint-Verfahrens liegen derzeit bei 5 nm. Der Hersteller *Molecular Imprints* bietet bereits einige kleinere Anlagen für den 20-nm-Prozess an, mit einem Ausstoß von bis zu 180 Lagen pro Stunde. ^[9] Damit ist das Verfahren theoretisch für die kommenden Generation von Computerchips geeignet – 32- und 22-nm-Technologie, die für 2012 angekündigt sind. Ob das Verfahren jedoch in der (Massen-)Produktion angewendet wird, ist derzeit noch nicht absehbar.



Metallische brückenförmige Struktur aus Aluminium, hergestellt mit Elektronenstrahlithografie.

Literatur

- Andreas Gombert: *Mikrooptik im großen Stil*. In: *Physik Journal*. 1, Nr. 9, 2002, S. 37–42 (u. a. mittels Grautonlithografie, PDF ^[10]).

Weblinks

- Grundlagen der Fotolithografie in der Halbleitertechnik ^[11]

Einzelnachweise

- [1] Daniel P. Sanders: *Advances in Patterning Materials for 193 nm Immersion Lithography*. In: *Chemical Reviews*. 110, Nr. 1, 2010, S. 321-360, doi: 10.1021/cr900244n (<http://dx.doi.org/10.1021/cr900244n>).
- [2] *IBM Forschung zeigt Weg zur verlängerten Nutzung aktueller Chipherstellungsverfahren* (http://www.zurich.ibm.com/news/06/chip_manufacture_d.html). IBM-Pressemitteilung, vom 20. Februar 2006,
- [3] *Intel schließt 32nm-Prozessentwicklung erfolgreich ab*. (<http://www.intel.com/cd/corporate/pressroom/emea/deu/410929.htm>) Intel, 10. Dezember 2008, abgerufen am 11. Dezember 2008 (Pressebereich).
- [4] *Kleine Strukturen mit großer Wirkung*. (<http://www.fraunhofer.de/fhg/archiv/magazin/pflege.zv.fhg.de/german/publications/df/df1998/398-12f.htm>) Fraunhofer-Gesellschaft, abgerufen am 1998.
- [5] *Grauton-Lithografie mit Fotolacken*. (http://www.microchemicals.de/technische_infos/grautonlithografie.pdf) Microchemicals, abgerufen am 11. November 2009.
- [6] Thomas J. Suleski, Donald C. O'Shea: *Gray-scale masks for diffractive-optics fabrication: I. Commercial slide imagers*. In: *Applied Optics*. 34, Nr. 32, 1995, S. 7507–7517, doi: 10.1364/AO.34.007507 (<http://dx.doi.org/10.1364/AO.34.007507>).
- [7] Donald C. O'Shea, Willie S. Rockward: *Gray-scale masks for diffractive-optics fabrication: II. Spatially filtered halftone screens*. In: *Applied Optics*. 34, Nr. 32, 1995, S. 7518–7526, doi: 10.1364/AO.34.007518 (<http://dx.doi.org/10.1364/AO.34.007518>).
- [8] Website der Synchrotronstrahlungsquelle ANKA (<http://ankaweb.fzk.de/>)
- [9] *Introducing the Imprio® HD2200* (<http://www.molecularimprints.com/Products/I2200page.html>). Produktseite, Molecular Imprints, abgerufen am 2. März 2009.
- [10] <http://www.physik.uni-osnabrueck.de/kbetzler/sos/physikjournal/mikrooptik.pdf>
- [11] <http://www.halbleiter.org/lithografie/>

Halbleitertechnik

Halbleitertechnik

Die **Halbleitertechnik** definiert sich historisch und aufgrund der Verwendung der Produkte als Schlüsselkomponenten in elektrotechnischen Erzeugnissen als Teilgebiet der Elektrotechnik (speziell der Mikroelektronik). Trifft man die Zuordnung aufgrund der eingesetzten Methoden und Verfahren und materialtechnischen Eigenschaften der hergestellten Produkte, so ist auch eine Zuordnung zu den Bereichen Chemietechnik und Keramik möglich und folgerichtig.

Die Halbleitertechnik befasst sich mit der technischen Herstellung mikroelektronischer Bauelemente und mikroelektronischer Baugruppen (Integrierte Schaltungen) vorwiegend aus Halbleitermaterialien.

Einleitung

Die von der Halbleitertechnik eingesetzten Verfahren sind weitgehend chemischer Natur. Physikalische Methoden werden unterstützend eingesetzt (Lithographie, Implantation, Planarisieren, Messtechnik)

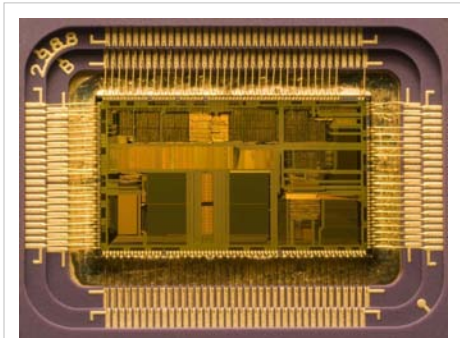
Der überwiegende Teil der Bauelemente wird derzeit im Planarverfahren (Jean Hoerni – Realisierung mehrerer Schaltungsbestandteile in einem Substrat durch selektive Dotierung) hergestellt. Die folgende Beschreibung bezieht sich auf dieses Verfahren.

Die Funktion des mikroelektronischen Bauelements wird meist auf der Oberfläche eines Einkristalls aus Halbleitermaterial realisiert, indem man in mehreren aufeinanderfolgenden Schritten auf das Basismaterial Schichten mit spezifischen elektrischen Eigenschaften (Schichten mit bestimmter Leitfähigkeit, Isolierschichten und Leiterbahnen) übereinander aufbringt. Durch die unterschiedlichen Eigenschaften der Einzelschichten entstehen in der Schichtfolge Transistorfunktionen, Kondensatoren, Widerstände und auch andere Bauelemente.

Aus der Kleinheit, d. h., der Strukturgröße mikroelektronischer Bauelemente resultieren spezielle Anforderungen an das Fertigungsverfahren. So wird Partikelfreiheit im eigentlichen Herstellungsprozess und Staubfreiheit in der Fertigungsumgebung gefordert (Reinraumherstellung).

In der Praxis wird häufig mit zwei verschiedenen Sichtweisen auf die Halbleitertechnik geschaut:

- Die Einzelprozess-Sicht: hierbei werden die struktur- oder eigenschaftsändernden Verfahren an sich betrachtet unter dem Aspekt, welche Parameter der Prozesse zu den gewünschten physikalischen Eigenschaften (Dimension, Leitfähigkeit, Homogenität, usw.) führen
- Die Integrationssicht: in diesem Fall wird zunächst die zu realisierende Struktur – eine Transistorebene oder eine Leitungsebene – betrachtet unter dem Aspekt, welche Einzelprozesse zu den gewünschten elektrischen (oder seltener: mechanischen bzw. optischen) Eigenschaften der Struktur führen



Integrierter Schaltkreis. Das Chip-Gehäuse wurde geöffnet und ermöglicht den Blick auf den eigentlichen Halbleiter. Die erkennbaren Strukturen im Zentrum sind die realisierte elektronische Schaltung. Im Außenbereich sind die goldenen Anschlussleitungen zu erkennen, welche die elektrische Verdrahtung zwischen IC und den Gehäusekontakten bildet.

Herstellungsprozesse

Die einzelnen Elemente der mikroelektronischen Schaltungen werden auf einem Halbleitersubstrat, meist einem sogenannten Wafer, durch Dotierung/Legierung des Substratmaterials und durch gezieltes Aufbringen funktionaler Materialschichten erzeugt.



Wafer von 2 Zoll bis 8 Zoll
mit bereits fertig produzierten
Schaltungen

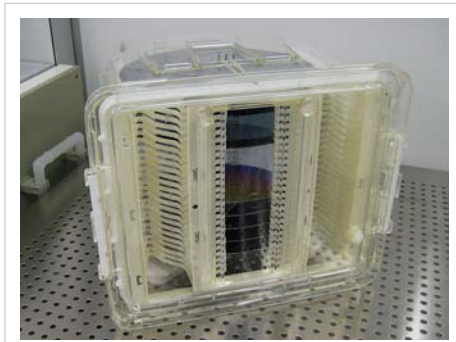
Vorbereitung des Ausgangsmaterials



Monokristallines Silizium

Im engeren Sinn wird die Herstellung des Ausgangsmaterials nicht unter Halbleitertechnik gefasst, soll hier aber zur Vollständigkeit beschrieben werden: Bei der Gewinnung von Halbleitermaterialien (Silizium, Germanium, Verbindungshalbleiter wie Gallium-Arsenid und Siliziumgermanium) werden durch chemische und chemisch-metallurgische Verfahren hochreine Einkristallsubstrate erzeugt (in wenigen Fällen, z. B. für Solarzellen, sind auch polykristalline Substrate im Einsatz). Um die einwandfreie Funktion der später zu realisierenden Bauteile zu gewährleisten, ist ein qualitativ sehr hochwertiges Substratmaterial erforderlich. Angestrebt wird ein möglichst fehlerfrei kristallisiertes, reines, homogenes Basismaterial. Sind diese Anforderungen nicht erfüllt, so können z. B. bei einzelnen Transistoren zufällig erhöhte Leckströme oder veränderte Arbeitspunkte auftreten. Auf Metallverunreinigungen liegt ein besonderes Augenmerk. Die Verunreinigungsniveaus liegen hier in Bereichen von Milliardstel (ppb-Bereich) oder Billionstel (ppt-Bereich).

Im Fall von Silizium wird aus einer mehrfach gereinigten Schmelze ausgehend von einem Keimkristall ein Zylinder von heute (2007) bis zu 300 mm Durchmesser und mehr als einem Meter Länge gezogen (siehe Czochralski-Verfahren und Zonenschmelzverfahren). Der Zylinder wird in Scheiben (Wafer) mit einer Dicke kleiner einem Millimeter zersägt, die anschließend geschliffen und poliert werden. In dieser Form findet das Halbleitermaterial üblicherweise Eingang in die eigentliche Fertigung der Bauelemente. Vor allem in den Fertigungsstätten (sogenannte „Fabs“) werden die Wafer dann in sogenannte FOUP-Kassetten (von engl.: front opening unified pod) transportiert; für den Transport außerhalb vollautomatischer Fertigungsanlagen werden so genannte FOSB-Kassetten (von engl.: front opening shipping box) eingesetzt.



Sicht auf die Vorderseite einer FOSB-Kassette mit 8 Wafern

Zu den weltweit größten Herstellern von Siliziumwafern zählt das deutsche Chemieunternehmen Wacker/Siltronic.

Definition der Strukturen

Um auf dem Substrat verschiedene Bauteile und Schaltungselemente realisieren zu können, müssen auf dem Ausgangsmaterial Gebiete definiert werden, die vom folgenden Prozessschritt betroffen sind und solche, die nicht betroffen sind. Dazu wird die Fotolithografie – ein fotografisches Verfahren – eingesetzt (vereinfachte Darstellung):

- Auf dem Wafer wird zunächst ein lichtempfindlicher Fotolack aufgeschleudert (Rotationsbeschichtung, engl.: *Spin-coating*).
- In einem Stepper oder Scanner wird das Abbild einer Maske durch Belichtung mit streng monochromatischem Licht (heute meist aufgeweiteter Laserstrahl) auf den lichtempfindlichen Fotolack übertragen. Scanner ermöglichen es, kleinere Strukturen auf den



Rotationsbeschichtungsanlagen für den Photolackauftrag unter photochemisch unwirksamer Beleuchtung („Gelblicht“)

Wafer zu belichten, als es mit dem Stepper möglich ist. Der Grund dafür ist, dass beim Stepper die gesamte Fotomaske als rechteckiges Bild abgebildet wird und sich alle nicht korrigierbaren Fehler des optischen Linsensystems negativ auswirken.

Beim Scanner wird anstatt der gesamten Fotomaske nur ein schmaler Streifen im optischen Linsensystem abgebildet. Durch eine synchronisierte Bewegung von Fotomaske und Wafer wird die gesamte Fotomaske auf den Wafer belichtet.

- In einem chemischen Bad wird der Fotolack entwickelt, das heißt, die belichteten Bereiche (beim sogenannten Positivlack) des Lacks werden herausgelöst, nur die unbelichteten Bereiche verbleiben auf dem Wafer. Bei Negativlack ist es gerade umgekehrt. Hier werden die unbelichteten Stellen herausgelöst. Durch eine anschließende Wärmebehandlung (sogenanntes Hard- oder Softbake) werden die Lackstrukturen stabilisiert und Reste von Lösemitteln werden ausgetrieben.

Damit sind die Teile des Wafers durch den Fotolack abgedeckt, die durch die folgenden Prozessschritte unverändert bleiben.

- Es folgt ein halbleitertechnischer Prozessschritt – Dotieren, Abscheiden, Ätzen
- Im anschließenden Prozessschritt wird der unbelichtete Fotolack ebenfalls entfernt – das kann durch nasschemische Verfahren oder durch Veraschung im Sauerstoff-Plasma erfolgen.

Die Strukturübertragung mittels Fotolithografie – einer der teuersten Prozessschritte in der Halbleiterherstellung – ist eine entscheidende Herausforderung in der traditionellen, auf Steigerung der Integrationsdichte durch

Verkleinerung setzenden Planarhalbleitertechnik. Die Gesetze der Optik begrenzen hier schon heute die Möglichkeit zur weiteren Strukturverkleinerung. Daneben stößt man inzwischen aber auch bei anderen Prozessschritten an z. B. materialbedingte Grenzen. So erlauben z. B. die elektrischen Eigenschaften bestimmter im Halbleiterprozess eingesetzter Standardmaterialien keine weitere Strukturverkleinerung. Auch die Querschnittsverkleinerung der Leiterbahnen führt zu Materialproblemen (Diffusion, Elektromigration, u. a.)

Einen temporären Ausweg bietet die Verwendung neuer Strukturmaterialien wie z. B. der Einsatz spezieller Legierungen im Leiterbahnbereich oder der Einsatz modifizierter Dielektrika (low-k- und high-k-Materialien), da hierdurch grundsätzliche Veränderungen in der Technik zunächst vermeidbar sind. Langfristig erscheint jedoch der Übergang von der planaren zu 3-dimensionalen Techniken (vertikale und horizontale Positionierung einzelner Bauelemente) unabdingbar, da hierdurch im Prinzip bei gleicher Bauteildimensionierung höhere Bauteilpackungsdichten realisierbar sind. Erste Schritte in Richtung 3D-Techniken werden derzeit gemacht (siehe z. B. DRAPA).

Dotieren des Ausgangsmaterials

Um die elektrischen Eigenschaften eines Halbleiters in bestimmten Regionen zu ändern, werden lokal Fremdatome in das Material eingebracht (Dotierung). Dies geschieht durch Ionenimplantation oder Diffusion. Die Fremdatome werden dabei in verschiedenen Tiefen und in unterschiedlichen regionalen Konzentrationen eingelagert.

- Tiefe Schichten mit geringer vertikaler Ausdehnung können dazu dienen, einzelne Transistoren in eine Isolationswanne zu legen, um sie so bezüglich ihrer Substratanschlüsse zu entkoppeln.
- Tiefe Schichten mit einer großen vertikalen Ausdehnung bis zur Oberfläche des Substrates können dazu dienen, in einem n-dotierten Substrat eine p-dotierte Wanne anzulegen, in der wiederum n-Kanal-Metall-Isolator-Halbleiter-Feldeffekttransistoren (n-Kanal-MISFET bzw. n-Kanal-MOSFET) angelegt werden können.
- Oberflächennahe Dotierungen können als Source-Drain-Region von Transistoren oder als Widerstandsbereiche genutzt werden.
- Dotierung in Randbereichen ist eines der Verfahren, mit dem sogenanntes gestrecktes Silizium realisiert werden kann – Bereiche mit erweiterter Gitterstruktur, in denen erhöhte Ladungsträgermobilität herrscht und in denen daher hochperformante Transistoren erstellt werden können.



Ionenimplantation-Anlage zum Einbringen hochenergetischer Ionen in den Wafer, beispielsweise Sauerstoff bei der SIMOX-Technik (englisch: *separation by implanted. oxygen, SIMOX*).

Nach einer Implantation schließt sich immer ein Ofenprozess an (Temperung), um die implantierten Fremdatome, die sich auf Zwischengitterplätzen befinden, gleichmäßig in das Kristallgitter einzubauen und die im Kristallgitter entstandenen Schäden auszuheilen. (Das Kristallgitter des Substrats wird durch den Beschuss mit Ionen mechanisch geschädigt)

Abscheiden und Aufwachsen von Schichten

Schichten aus isolierenden und leitenden Materialien werden für viele Zwecke auf dem Halbleitersubstrat aufgebracht.

- Im Ofenprozess durch thermische Oxidation des Grundmaterials Silizium hergestellte Oxidschichten sind amorph und besitzen eine geringe Defektdichte (auch an den Grenzflächen), so dass sie als Dielektrikum für die Steuerelektroden der Feldeffekttransistoren, für Kondensatoren und die Bauelementisolation (vgl. LOCOS und Grabenisolation) benutzt werden.
- Aus der Gasphase abgeschiedene Oxide oder Nitride (chemische Gasphasenabscheidung, CVD) werden zum Beispiel als Isolation zwischen verschiedenen Bauelementen oder als Opferschichten für Ätzprozesse erzeugt.
- Durch physikalische Gasphasenabscheidung oder Sputtern können zum Beispiel Metallschichten aus Aluminium oder Kupfer aufgebracht werden, aus denen dann Leiterbahnen herausgeätzt werden können.

Strukturieren von Schichten

Um im Grundmaterial Bereiche zu entfernen oder aus abgeschiedenen Schichten bestimmte Bereiche herauszulösen werden Ätzverfahren eingesetzt. Man unterscheidet zwischen anisotropen (richtungsabhängig) und isotropen (richtungsunabhängig) Ätzverfahren.

- Das anisotrope Plasmaätzen (Trockenätzen, Reaktives Ionen Ätzen, RIE) ist der heute vorherrschende Prozess zur Strukturierung. Dabei wird das Material abgebaut, indem reaktive Ionen auf die Waferoberfläche beschleunigt werden – damit hat der Prozess eine mechanisch/physikalische und eine chemische Komponente.
- Die Bedeutung des nasschemischen Ätzens im Säurebad ist zurückgegangen, es wird heute vorwiegend zur Entfernung kompletter Schichten (Opferschichten) und zur Entfernung von Prozessrückständen verwendet.
- Zur Versiegelung der Chip-Oberfläche, d. h. zur Passivierung, wird meist ein Silikatglas abgeschieden. Dieses Silikatglas muss an den Bondflächen für die Außenkontaktierung entfernt werden. In dem Fall wird mittels Lithographie das Glas an den Bondflächen entfernt, hierbei wird oft Flusssäure als Ätzmittel verwendet. Die Flusssäure greift das Silikatglas an, während das reine Silizium unversehrt bleibt.

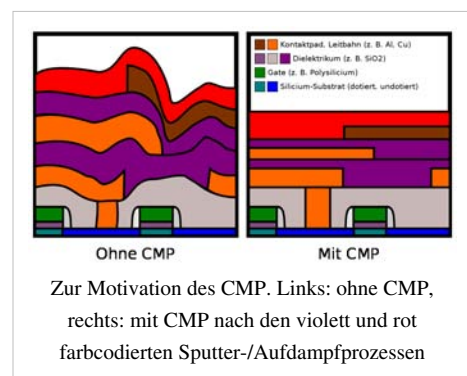
Planarisieren, Reinigen, Messen

Dadurch dass z. B. Leiterbahnen ein gewisses strukturelles Muster auf der Oberfläche des Substrates erzeugen, kommt es zu störenden Unebenheiten (z. B. Störung der Lithographie durch Schrägreflexion, Ungleichmäßigkeiten in folgenden Abscheidungen). Daher wird an mehreren Stellen im Fertigungsablauf der Wafer wieder planarisiert. Das kann durch selektives Zurückätzen oder durch chemisch-mechanisches Polieren (CMP) erfolgen.

Nicht nur das Polieren hinterlässt Partikel auf der Oberfläche, die für den nächsten Lithografieschritt völlig rein und eben sein muss. Auch z. B. Ätzprozesse hinterlassen Rückstände von unerwünschten Reaktionsprodukten. Im ersten Fall werden die Wafer mechanisch durch Bürsten und Ultraschallbad gereinigt, im zweiten Fall durch nasschemische Verfahren und ebenfalls Ultraschall.

Um die feinen Strukturen und dünnen Schichten mit Toleranzen von wenigen Nanometern zuverlässig erzeugen zu können, braucht man weiterhin sehr leistungsfähige Messverfahren zur Prozesskontrolle. Eingesetzt werden unter anderem diverse Spektroskopie- und Scatterometrie-Verfahren, Rasterkraftmikroskopie und diverse elektrische Messverfahren sowie Partikel- und Defektkontrollen zum Einsatz.

An die Produktionssteuerung werden erhebliche Ansprüche gestellt. Es liegt keine Fließfertigung vor, sondern eine so genannte Werkstattfertigung. Die Produktionsdauer für ein Los (üblicherweise 25 Wafer) in einer typischen



Halbleiterfabrik (englisch: *fab*) bei kontinuierlicher Fertigung (7 Tage pro Woche, 24 Stunden pro Tag) liegt zwischen einigen Tagen und einigen Monaten, abhängig von der Komplexität des Produktes.

Halbleiterstrukturen

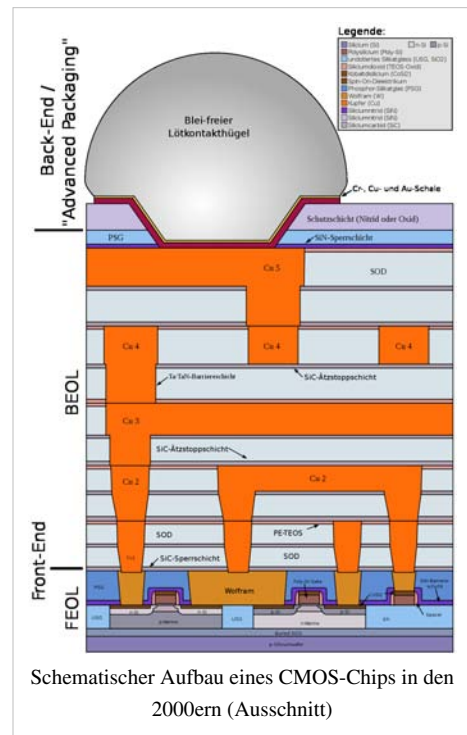
→ *Hauptartikel*: p-n-Übergang, Transistor

Durch die Abfolge der Einzelprozesse werden auf (bzw. in) dem Halbleitersubstrat Wannen unterschiedlicher Leitfähigkeit, Transistoren, Widerstände, Kondensatoren, Leiterbahnen und vieles mehr realisiert. Exemplarisch wird das Zusammenwirken der Prozesse an der Struktur eines Transistortyps erklärt.

Zur Herstellung einer Transistorebene auf einem Halbleitersubstrat ist eine Vielzahl der oben erklärten Prozessschritte notwendig. Nachfolgend soll kurz zusammengefasst die Prozessabläufe für die Herstellung heutiger (2009) Transistorstrukturen dargestellt werden:

- Noch vor der Erzeugung der eigentlichen Transistorstrukturen erfolgt die Herstellung von Isolationsstrukturen zwischen den späteren Transistoren; die dominierende Technik ist die Grabenisolation (engl. *shallow trench isolation*, vgl. Trench-Technik). Dazu werden zunächst fotolithografisch entsprechenden Bereiche zwischen den Transistorgebieten maskiert. Anschließend erfolgen eine Siliziumätzung (meist durch reaktives Ionenätzen) und die Wiederauffüllung mit Siliziumoxid sowie die Glättung der Topographie mithilfe des chemisch-mechanischen Polieres.
- Auf den verbleibenden Siliziuminseln wird in einem Ofen eine dünne Siliziumoxidschicht aufgewachsen – das spätere Gate-Dielektrikum des Transistors.
- Auf der gesamten Wafer-Oberfläche wird das Material für die Gateelektrode abgeschieden – in der Regel ein Stapel aus mehreren Materialien, z. B. hochdotiertes Silizium, Metall und Isolationskappe.
- Mit einem Lithografieschritt werden die Strukturen der Gate-Elektroden definiert, dann wird das Gate-Elektrodenmaterial überall dort weggeätzt, wo kein Fotolack nach der Entwicklung mehr übrig war.
- In einem Ofenprozess wird an den nun offenen Flanken der Gate-Strukturen ein Oxid zur Isolation und als Abstandshalter für die Folgeprozesse gebildet.
- Mittels Lithografie werden erst die n-Kanal-MOSFET-Transistorgebiete, dann die p-Kanal-Transistorgebiete abgedeckt, um jeweils die Source-Drain-Gebiete mit den richtigen Fremdatomen zu dotieren (Ionenimplantation).
- Um die Transistorebene gegen die folgenden Verdrahtungsebenen abzuschließen wird eine dicke Isolationschicht auf dem gesamten Wafer aufgetragen. Überall dort, wo die Gates-Strukturen sind, bilden sich Buckel in der Isolationschicht, die durch chemisch-mechanisches Polieren entfernt werden müssen.

Der heute übliche Fertigungsablauf für Transistoren enthält noch eine Vielzahl weiterer Prozesse, z. B. diverse Hilfsdotierungen oder dickere Gate-Dielektrika für Dickoxidtransistoren.



Status und Ausblick

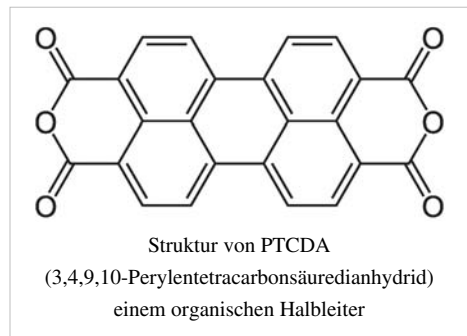
In weniger als einem Jahrzehnt hat sich Halbleitertechnik zur Schlüsseltechnologie des 20. Jahrhunderts entwickelt. Der Kalte Krieg und die daraus resultierenden militär- und informationstechnischen Bedürfnisse waren Geburtshelfer, Katalysator und sind bis heute entscheidende Triebfeder der Entwicklung (siehe z. B. neuste Entwicklungen in der Prozessortechnik, Datenspeicherung, Signalverarbeitung, Optoelektronik etc.). Der Aufbau eines stabilen produktionstechnologischen Gerüsts wurde erst durch die kommerzielle Fertigung mikroelektronischer Schaltungen im großindustriellen Maßstab, z. B. für die ersten Taschenrechner, erzwungen.

Die Rolle des technologischen Vorreiters, den die Halbleitertechnik über Jahrzehnte innehatte, beginnt langsam zu verblassen. Andere Technologien wie die Biotechnologie haben begonnen, die Staffelstab zu übernehmen. Die Halbleitertechnik befindet sich heute im Übergang von einer jungen Technologie zu einer gereiften und sich konsolidierenden Technologie (Technologielebenszyklus). In Zukunft werden in erster Linie kleine, aus rein technischer Sicht durchaus herausfordernde Innovationsschritte und evolutionäre Detailverbesserungen die Szene bestimmen. Das Ziel ist und wird es sein, die Möglichkeiten der bestehenden Techniken auszuschöpfen. Größere Entwicklungssprünge, ohnehin bei großtechnischen Produktionstechniken kaum zu erwarten, werden bei Halbleitertechniken unwahrscheinlicher. Dies gilt zumindest für die Industriezweige, die sich der Herstellung von integrierten Schaltkreisen widmen. Andere Teilbereiche der Mikroelektronik wie Bildschirme oder Solarzellen, weisen weiterhin ein großes Forschungspotential auf.

Die Forschung und Technologieentwicklung für die Herstellung von integrierten Schaltkreisen erfolgt daher entlang sogenannter Roadmaps (dt.: »Projektplan«). Die maßgebende Roadmap ist die seit 1988 existierende ITRS (*International Technology Roadmap for Semiconductors*), die mitwirkenden Firmen machen mehr als 90 % weltweiten Halbleiterproduktion aus. In der ITRS werden die langfristigen Entwicklungsziele der Halbleiterindustrie auf 15 Jahre im Voraus geplant und regelmäßig der aktuellen Entwicklung angepasst. Die Entwicklungsstufen oder -schwerpunkte (engl. *nodes*) werden über

den Begriff der Strukturgröße definiert. Die gebündelte Richtungsvorgabe bei der Entwicklung soll technologische Engpässe früh erkennen und Forschungsanreize setzen. Dadurch ist es der Industrie bis heute gelungen das bekannte mooresche Gesetz aufrechtzuerhalten. Wann das zu erwartende Abknicken oder Abbrechen der mooreschen Geraden und damit das Ende der stetig-evolutionären Entwicklung beginnt, bleibt abzuwarten. Da die Produktion aber heutzutage in Bereichen arbeitet, die vor 20 Jahren als physikalisch „unmöglich“ galten, ist zu erwarten, dass sich das Ende dieser Entwicklung um weitere Jahre verschiebt. Das Ende ist aber spätestens bei Fertigung von Bauelementen mit Strukturgrößen (< 10 nm) von wenigen Atomen auf Basis der heutigen siliziumorientierten Technologie erreicht. Hier sind neue Entwicklungen mit neuartigen Funktionsweisen notwendig um den Trend des mooreschen Gesetzes zu folgen. Die ITRS beschäftigt sich im Kapitel „Emerging Research Devices“ (ERD) zunehmend intensiver mit potentiellen Technologien, die allerdings immer noch stark an der bestehenden Technologie angelehnt sind. Dazu gehören neben technologisch verwandten Konzepten wie dem FeRAM oder geschichtete Dielektrika (beispielsweise *engineered tunnel barrier memory*) auch Konzepte, die wohl nicht in den nächsten zehn Jahren anwendungsreif werden, wie Speicher und Schaltkreise auf Basis von leitenden Makromolekülen oder Einzelelektronentransistoren.

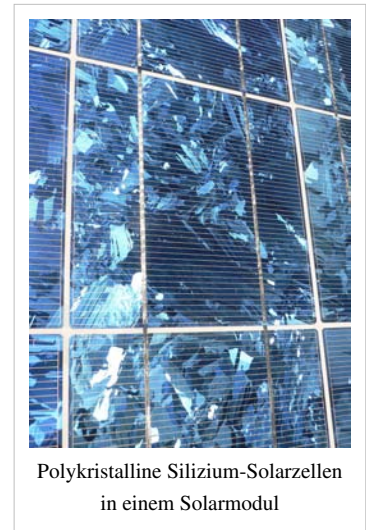
Wie andere Spitzentechnologien verursacht auch die Halbleitertechnologie stetig steigenden Kosten, um die Weiterentwicklung der existierenden Technologie aufrecht zu erhalten, vor allem im Bereich der Schaltkreisherstellung. Kostentreibend ist neben dem hohen finanziellen Aufwand für Anlagentechnik und die ebenso aufwendige, komplexe Fertigung die Arbeitsweise in Forschung und Entwicklung. Die empirische Entwicklungsarbeit ist in vielen Bereichen immer noch notwendig, da entsprechende Simulationen die Vorgänge noch nicht mit der geforderten Genauigkeit wiedergeben. Dies liegt zum einen an den sehr hohen Toleranzanforderungen als auch an fehlenden physikalischen Erklärungen für die Vorgänge im Nanometerbereich,



dies betrifft beispielsweise das chemisch-mechanische Polieren oder den exakten Ablauf des Beschichtungsprozesses bei der Atomlagenabscheidung. Wie in anderen technischen Disziplinen wird aber auch in der Halbleitertechnologie verstärkt an der Simulation von Prozessabläufen gearbeitet und vielfältig eingesetzt. Neben den seit Jahrzehnten eingesetzten Simulationen bei der Entwicklung und Verifizierungen von Schaltkreisen, werden auch zunehmend komplette Produktionsabläufe der Halbleiterbauelemente simuliert.

In der Photovoltaik kommen neben den Entwicklungskosten noch die vergleichsweise hohen Modulpreise für den Endkunden hinzu. Hier war lange Zeit ein hoher Subventionsbedarf notwendig, um eine kostendeckende Forschung betreiben zu können und gleichzeitig attraktive Produktpreise anzubieten, um die Technologie gegen konventionelle Kraftwerke (Kohle, Gas usw.) aufzustellen. Ziel dieser Politik, vor allem in Deutschland, war damals wie heute die Förderung alternativer und regenerativer Energiekonzepte. Derzeit (2008) wird dieser Bereich immer noch stark subventioniert – was unter anderem an der Vielzahl von Neugründungen vor allem in den östlichen Bundesländern zu sehen ist –, obwohl der Photovoltaikmarkt seit einigen Jahren weltweit boomt.

Siehe auch: Das moorsche Gesetz – Technische Grenzen



Polykristalline Silizium-Solarzellen
in einem Solarmodul

Umweltschutz

Zu Beginn der Massenfertigung von Halbleiterbauelementen wurde den Umweltschutzaspekten recht wenig Beachtung geschenkt. Vor allem im Silicon Valley kam es in den späten 1960er- und frühen 1970er-Jahren zu großflächigen Grundwasserverschmutzungen. Diese Vorfälle brachten erstmalig die Kehrseite einer bislang als besonders fortschrittlich geltenden Industrie zum Vorschein.

In der Tat werden im Zusammenhang mit der Herstellung mikroelektronischer Bauelemente umweltgefährdende Substanzen produziert, eingesetzt und emittiert. Hierzu zählen u. a. zahlreiche Schwer- und Halbmetalle, ozonschichtzerstörende Substanzen und Treibhausgase. Rückstände fallen – ggf. in umgewandelter und vermischter Form – als Feststoffe, Flüssigkeiten und Gase an. Viele der Einsatzstoffe werden aus technischen oder ökonomischen Gründen nicht recycled.

Seit Mitte der 1980er-Jahre traten in vielen Industrieländern gesetzliche Regeln in Kraft, die die Industrie veranlassen haben, Maßnahmen zur lokalen Reduzierung des Umweltgefährdungspotentials zu implementieren. In den Boomregionen Asiens werden Umweltschutzaspekte jedoch oft ökonomischen Interessen untergeordnet. Freiwillige Regularien wie die seit Mitte der 1990er-Jahre einsetzende internationale Standardisierung z. B. nach ISO 14001 (*Environmental Management Systems*) greifen dort naturgemäß wenig, solange sie nicht von nationalem Recht unterstützt werden.

Literatur

- Ulrich Hilleringmann: *Silizium-Halbleitertechnologie: Grundlagen mikroelektronischer Integrationstechnik*. 5. Auflage. Vieweg+Teubner, 2008, ISBN 3-8351-0245-1.
- Dietrich Widmann, Hermann Mader, Hans Friedrich: *Technologie hochintegrierter Schaltungen*. 2. Auflage. Springer, Berlin 1996, ISBN 3-540-59357-8.

Weblinks

- www.halbleiter.org ^[1] – Grundlagen der Halbleitertechnologie

Referenzen

[1] <http://www.halbleiter.org/>

Mikrosystem (Technik)

Ein **Mikrosystem** ist ein miniaturisiertes Gerät, eine Baugruppe oder ein Bauteil, dessen Komponenten kleinste Abmessungen (im Mikrometerbereich) haben und als System zusammenwirken.

Im Allgemeinen besteht ein Mikrosystem aus einem oder mehreren Sensoren, Aktoren und einer Steuerungselektronik auf einem Substrat bzw. Chip.

Die Mikrosystemtechnik ist die Lehre von der Entwicklung der Mikrosysteme und von den Technologien zu deren Realisierung.

Begriff

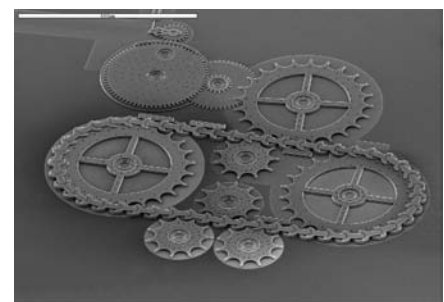
Hinsichtlich des Begriffs Mikrosystem gibt es in der englischsprachigen Literatur keine einheitlichen Begriffe. Die einfache Übersetzung *micro systems* wird kaum genutzt (wenn dann im europäischen Raum). Verbreiteter sind die aus den USA stammenden Begriffe *micro-electro-mechanical systems* und *micro-optoelectro-mechanical systems* beziehungsweise ihre griffigen Abkürzungen MEMS und MOEMS. In asiatischen (vorrangig Japan) Veröffentlichungen findet sich hingegen auch die „erweiterte“ Bezeichnung *micromachines*.

Allgemeiner Aufbau

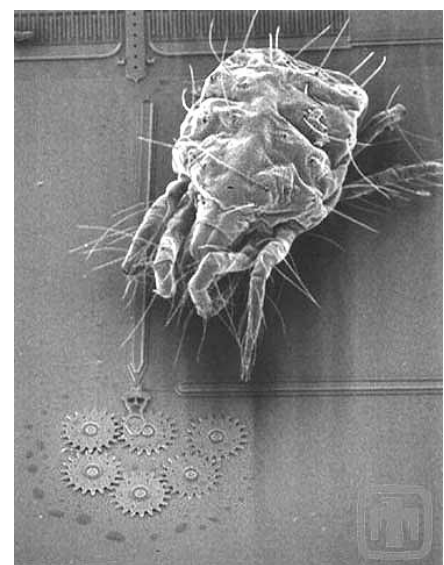
Mikrosysteme basierten früher auf der Halbleiterelektronik, damals war das Grundmaterial (Substrat) in der Regel Silizium, aber auch Galliumarsenid. Die Mikroelektronik beschränkt sich auf elektrische Komponenten wie Transistoren (CPU) und Kondensatoren (RAM). Heute können Mikrosysteme auch preiswert aus Kunststoffen hergestellt werden, und die Ergebnisse im Bereich Materialforschung werden für multifunktionale Systeme genutzt. In der Mikrosystemtechnik sind die Möglichkeiten der Halbleiter-Werkstoffe erweitert um mechanische, optische, chemische und/oder biologische Komponenten und Funktionen.

Vorteile

Mikrosysteme bieten gegenüber konventionellen „Makrosystemen“ vor allem Vorteile in der Kostenersparnis (geringer Verbrauch an Werkstoffen, Parallel-Fertigung) und in der Effizienz (geringer Energie- und Leistungsbedarf ermöglicht autonome Systeme). Zudem bieten sie ein großes Funktionsspektrum, hohe Funktionsdichten, neue Funktionalität (Integration elektrischer und nicht elektrischer Funktionen). Denn durch die Integration und Miniaturisierung können „neue“ physikalische Effekte ausgenutzt werden und die kurzen Informationswege führen zu kurzen Reaktionszeiten. Des Weiteren haben sie meist eine höhere Zuverlässigkeit als konventionelle Systeme,



Mechanische Komponente (Zahnradgetriebe) eines Mikrosystems



Größenvergleich zwischen einer Milbe und einem Mikrosystem

vor allem durch den Wegfall von Steckern und Kabeln.

Anwendungsgebiete

Der Einsatz von Mikrosystemen ist überall dort denkbar und sinnvoll, wo Sensoren/Aktoren und Elektronik zusammenarbeiten. Medizinprodukte sowie Produkte aus den Bereichen Sicherheitstechnik, Sport, Biowissenschaften und Logistik können mit Hilfe von Mikrosystemen vielseitiger, einfacher, intelligenter, kleiner und leistungsfähiger werden.



Eines der größten Anwendungsbereiche sind Inertialsensoren. Sie werden schon lange in Großserie gefertigt und werden unter anderem für die Auslösung von Airbags, für die Erkennung des freien Falles von Festplatten (für mobile Anwendungen) – sie erkennen hier, ob sich ein Gerät im freien Fall befindet, so dass der Lesekopf noch während des Sturzes in Parkposition gesetzt werden kann – oder als Lageerkennung in digitalen Fotokameras, Handhelds und modernen Eingabegeräten für Spielkonsolen genutzt. Ebenso werden sie in Foto- und Videokameras zur Realisierung mechanischer Bildstabilisatoren eingesetzt, um ein Verwackeln von Bildern zu vermeiden.

Optische Anwendungen für Mikrosysteme sind beispielsweise Bausteine in Videoprojektoren, die zur Darstellung von Bildern genutzt werden (siehe Mikrospiegelaktor).

Beispiele für Mikrosysteme aus der Mikrofluidik sind Bubble-Jet-Druckköpfe moderner Drucker oder Kunststoff-Lab-on-a-Chip-Systeme mit integrierten Ventilfunktionen. Ein weiteres bekanntes Beispiel eines Mikrosystems ist auch der noch nicht kommerziell erhältliche Millipede-Speicher (Stand Januar 2009).

Literatur

- Lars Voßkämper: *Automatisierung im MEMS Entwurf: Kohärente Layoutsynthese und Modellbildung von skalierbaren mikroelektromechanischen Strukturen*. Vdm Verlag Dr. Müller, 2008, ISBN 978-3639049237.

Weblinks

- Universität Freiburg: *Vorlesung MST Bauelemente (Wintersemester 08/09)* ^[1]. 2008, abgerufen am 20. Februar 2009 (Vorlesungsfolien mit diversen Anwendungen sowie Abbildungen).
- MEMS-Anwendungen-Videos ^[2].

Referenzen

[1] <http://www.imtek.de/content/vorlesung.php?nr=501>

[2] <http://www.memsuniverse.com>

Quelle(n) und Bearbeiter des/der Artikel(s)

Leiterplatte *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=94580296> *Bearbeiter:* A.Savin, Adrian Banerter, Aka, Allesmüller, AndreasFahrrad, Appaloosa, Astinus79, Atamari, Aule, BJ Axel, BanditDD, Baumfreund-FFM, Behalten, Bernburgerin, Biezl, Birger Fricke, Boemmels, CJaehner, Captain Chaos, Carstor, Cello, Cepheiden, Cnagl, Coaster J, Corrigo, CrazyIcecap, Creshal, Crux, Cschirp, Curtis Newton, Cyrusdreams, DLKS, DerHexer, Dishayloo, Diwas, Don Magnifico, DrMurx, Drahrkrub, El., Elektroschrottsammler, Emdee, Engie, ErikDunsing, Experte zweiter Klasse, Fabian R, Fairway, Faxel, Fiachna, Flea, Florian Adler, Flothi, GNosis, Georg-Johann, Glenn, Godai2, Gregorgross1055, Grummel, HaMF, HaSee, Hank van Helvete, Harry20, Hasenleberwurst, He3nry, Heihe, Homer Landskirty, HomerJ1976, Honina, Hubertl, Hubi, Hufi, Hutschi, Ichmichi, Inschanör, Jed, Jergen, Jivee Blau, Jkbw, JochenF, Jpp, Julius1990, Jürgen Pierau, K.Scholz, KaiMartin, Kh555, Knoppen, Kommufaktur, Krd, Kristjan, Krulli, Kugelsichere-Weste, Kungfuman, LKD, Laserdiode71, Lmsz, Lustiger seth, Magicm247, Mali, Marc Aurel, Martin-vogel, MasterMG, MatthiasKabel, Mavoelker, Mchelge, Menrathu, MichaelFrey, Mik81, Milko, Millbart, Mo1001, Moehre1992, Montauk, Mullkubel, Mysel488, Nassauer27, NeverDoING, Nikater, Nitpicker, NobbiP, Nopileos, Norbirt, Norro, NovaTronic, Ot, Pcb-power, Pcbspecs, PeterFrankfurt, Pistnor, Pittimann, Quedel, Quickfix, Ratterkresch, Rax, Rbb, RealPingu, Rh, Rhino2, Robert Werth, Rudolph H, S.Didam, Schmitty, Schwijker, SecretDisc, Seewolf, Settembrini2, Shmia, Smial, Softeis, Spuk968, Staro1, Stefan Kühn, Stefan h, Stefan506, Stefen, Steffen85, Stern, Stimpson, Superkato, TheBug, Themole, Trax reloaded, Trustable, Typ.o, Tzuol, Tönjes, Uellue, Ulfbastel, Uncopy, Uwe Gille, VillaStraylight, WAH, Wber, Wdwd, Wefo, Wendelin, Wiki4you, Wikidienst, Wispanow, WortUmBruch, Wst, Wurzeldrei, Xantener, Yarin Kaul, YourEyesOnly, Zerebrum, Zkar, 288 anonyme Bearbeitungen

HDI-Leiterplatte *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=94977807> *Bearbeiter:* Adrian Banerter, BJ Axel, Baumfreund-FFM, Biezl, Cepheiden, Chemiewikibm, Christian2003, Florian, Frank Murrman, Hydro, Itti, Jón, Le.p, MichaelFrey, Wesener, Xls, Zuckerle, 19 anonyme Bearbeitungen

Leiterplattenbestückung *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=94126219> *Bearbeiter:* Aka, Bormaschine, Cepheiden, DelSarto, Elektronik Dresden, KaiMartin, Lutheraner

Reflow-Löten *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=92182669> *Bearbeiter:* 1-1111, Ahellwig, Anaximander, BJ Axel, Bzzz, Bärski, Cepheiden, Cgommel, DLKS, Don Magnifico, Fxx2000, Grummel, Hadhuey, Joey-das-WBF, Knoppen, Martin Maier, Michi cc, Millbart, Nitpicker, Nobart, Quickfix, RealPingu, ReinerSpass, Rpmcm66, Schweikhardt, Shadak, Staro1, Suit, To old, Trustable, Volker us Kölle, Wangen, Wdwd, Wiegels, 72 anonyme Bearbeitungen

Bestückungsautomat *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=92640947> *Bearbeiter:* Aka, Andy king50, Appaloosa, Cschirp, Hufi, JoBa2282, Korinth, Martin Homuth-Rosemann, Mike Krüger, Millbart, Nolispanmo, Norbirt, Quickfix, RealPingu, Smial, Traudi74, Wdwd, Wiki-Hypo, Xqt, 9 anonyme Bearbeitungen

Chipgehäuse *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=94971083> *Bearbeiter:* Abdull, Aka, Andy king50, Appaloosa, Atfriedl, Batronix, Binter, Cepheiden, DanielD, Doesel, Dschen, EarnieErnst, GT1976, Harald wehner, HenrikHolke, Hildegund, Huha, Jodo, Joern M, KaiMartin, Kaintheemper, Kh555, Knoppen, Kungfuman, Linear77, Mchelge, Mkleine, NobbiP, OecherAlemanne, Politikeraner, ReinerSpass, Rosenzweig, Schtrich, Schwijker, Scooter, Siehe-auch-Löscher, Suit, Trustable, Ussschrotti, VanGore, Wdwd, Wiki4you, WikiPimpi, Wosch21149, Xaar, Xeper, Zahnstein, Zumbo, -, 30 anonyme Bearbeitungen

Quad Flat Package *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=79586726> *Bearbeiter:* 32X, AV, Appaloosa, Cepheiden, Hildegund, Iwoelbern, JuTa, M.Marangio, MichaelFrey, Museo8bits, PSign, Quickfix, Schwijker, Svens Welt, 6 anonyme Bearbeitungen

Ball Grid Array *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=89255857> *Bearbeiter:* AHZ, Adrian Banerter, Appaloosa, Bundesstefan, Bzzz, Cepheiden, Cgommel, DLKS, DerPaul, Felanox, Godai2, HenrikHolke, Hubertl, Inschanör, Jodo, KaiMartin, Knoppen, KrautiS, LosHawlos, Millbart, Nasan, Quickfix, R0oland, RaphaelS09, RealPingu, ReinerSpass, Revvar, Rhino2, Rohieb, Saibo, Smial, Suit, TheK, ThorstenMeyer, Trex2001, Trustable, Tschäfer, Tuxman, Ulfbastel, Zahnstein, 43 anonyme Bearbeitungen

Dickschicht-Hybridtechnik *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=93375191> *Bearbeiter:* Adrian Banerter, Aka, Anneke Wolf, Bertium, Cepheiden, Chemiewikibm, Fabian R, Fxx2000, HaSee, Ilion, Knoppen, Larf, Mchelge, Nightflyer, O.Koslowski, Ot, PeterFrankfurt, Rdb, Sadduk, Trihun, Ulfbastel, Wdwd, WikiJourney, Zahnstein, 23 anonyme Bearbeitungen

Multi-Chip-Modul *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=94176453> *Bearbeiter:* Cepheiden, Eragon Shadeslayer, Fabian R, Knoppen, NobbiP, PeterFrankfurt, Suit, Trustable, Voyager, 22 anonyme Bearbeitungen

Dünnschichttechnologie *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=92625541> *Bearbeiter:* Aka, Aleks-ger, ArtMechanic, Ayacop, Bücherwürmlin, Cepheiden, ChristophDemmer, Cyberhofi, DieAlraune, Diwas, Etagenklo, Exil, Florentyna, FriedhelmW, Guffi, Inst Mikro, LKD, Maikel, Marmei, Saintswithin, Schwalbe, Schwobator, Schwänzer, Semper, Sven-steffen arndt, TyrionL, Ulfbastel, Ulz, Ussschrotti, 63 anonyme Bearbeitungen

Thermisches Verdampfen *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=91252800> *Bearbeiter:* Aka, Cepheiden, Diwas, Herbertweidner, Kookaburra, Merlin2001, Mo1001, Rower2000, Ulfbastel, Ussschrotti, YourEyesOnly, 10 anonyme Bearbeitungen

Spattern *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=95261354> *Bearbeiter:* Aka, Akkarin, Alma, Amtiss, Anastasius zwerg, Andreas aus Hamburg in Berlin, Androl, Argyle667, Bausch, Belsazar, Blaubahn, Bodenseemann, Carbenium, Cepheiden, ChristophDemmer, Cyberhofi, Daniel FR, Daniel.Schmidt, Dr.Hasi, Engie, Erik Streb, Eschenmoser, Flo422, Georg-Johann, Gum'Mib'Aer, Hadhuey, Holman, Hystrix, Jaro.p, Juesch, Kako, KingLion, Kku, Kölscher Pitter, M0nsterxxl, Mik81, Mikue, Morgenrot42, Niklas Wati, OZ, Olka, Ottomanisch, Pelz, Plasmarelais, QualiStattQuanti, RokerHRO, Saehrimmir, Saendie, Schnargel, SchroedingersKatze, Schroep, Scrawlerin, Sesc, Steppe, Strzygowski, Superplus, Thertzberg, Ulfbastel, Ussschrotti, Wissensdurst83, Youall, Zahnstein, 101 anonyme Bearbeitungen

Fotolithografie (Halbleitertechnik) *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=94927587> *Bearbeiter:* A.Savin, AFrank99, Alexander.stohr, ArtMechanic, Asb, Atoblume, Barbarossa, BesondereUmstaende, Biezl, Birger Fricke, Boemmels, Buckie, Burkhard Ledig, C.Löser, Catmangu, Cepheiden, Christian Schirm, ChristophDemmer, Cyberhofi, Diwas, Dr.Hasi, DrTorstenHenning, E22mil, EcKo, El, Fiachna, Fuzztone, Holly Tyler, Howwi, Jensw, Juri S., Kai Petzke, KaiMartin, KommX, Kookaburra, Kuebi, MacFreq, Markus 82, MarsmanRom, Martin-vogel, Mchelge, Msrill, NEUROtiker, Nikater, Norbirt, Otto67at, Peter200, Pezo, Physiognome, Pjacobi, Pstaudt-fischbach, QuantumSquirrel, RobertLechner, Sansculotte, Schewek, Solid State, SonniWP, Staro1, Stern, Styko, Thoskk, Toffel, Ukko, Ulz, Video2005, WikiJourney, Witten, XenonX3, Zahnstein, 95 anonyme Bearbeitungen

Halbleitertechnik *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=95140633> *Bearbeiter:* Ahellwig, Aka, Alexander.stohr, Androl, Appaloosa, ArtMechanic, BKSlink, Baumfreund-FFM, Bernard Ladenthin, Caphalor, Catrin, Cepheiden, D, DerGraueWolf, DerHexer, Don Magnifico, El., Ephraim33, Eschenmoser, Esskay, Fabian R, Floklk, Florian Adler, FordPrefect42, Fristu, Fsil, GNosis, Georg Slickers, HaSee, HaeB, Henristosch, Hildegund, Howwi, Hyperion, Imzadi, Jce, JensTanneberger, Jxr, KTq, Krassdaniel, MFM, MSh, Mariano-J, Mchelge, Meporter, MsChaos, Muck31, Norro, Norx, Paddy, Philipendula, Pittimann, Polluks, Proxima, Pstaudt-fischbach, Qdr, Qualimiox, Quickfix, RonaldH, Saehrimmir, Seewolf, Shiyaki, Staro1, Stefan Heinzmann, Stefan Kühn, Stefan506, Sftin, Suit, Swen, Sypholux, The nic, Video2005, WiESi, Wiegels, WortUmBruch, YourEyesOnly, Zahnstein, °, 129 anonyme Bearbeitungen

Mikrosystem (Technik) *Quelle:* <http://de.wikipedia.org/w/index.php?oldid=91048816> *Bearbeiter:* Andreareinhardt, Avron, Batna05, Burkhard1963, Cepheiden, Dobby1397, Don Magnifico, El-mejor, FiftySeven, Helium4, Jpp, LKD, Leigh, Lordbiber, Megatherium, Metapeter, RabbitsDad, Sewa, SpitfireXP, Staro1, Ulfbastel, Unscheinbar, Wdwd, 9, 8 anonyme Bearbeitungen

Quelle(n), Lizenz(en) und Autor(en) des Bildes

- Datei:Splatine.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Splatine.jpg> *Lizenz:* Public Domain *Bearbeiter:* Ulfbastel
- Datei:Lp3b.png** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Lp3b.png> *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* Ulfbastel
- Datei:Depanelization.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Depanelization.jpg> *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* Cactus26, Inductiveload
- Datei:Stripboardexample.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Stripboardexample.jpg> *Lizenz:* Public Domain *Bearbeiter:* Alexander Jones
- Datei:Lochplatinen.png** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Lochplatinen.png> *Lizenz:* Public domain *Bearbeiter:* PeterFrankfurt, Original uploader was PeterFrankfurt at de.wikipedia
- Datei:Verschiedene Platinen.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Verschiedene Platinen.jpg> *Lizenz:* GNU Free Documentation License *Bearbeiter:* Original uploader was Appaloosa at de.wikipedia
- Datei:PCB copper layer electroplating machine.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:PCB_copper_layer_electroplating_machine.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 *Bearbeiter:* Swoolverton
- Datei:PCBs hanging in electroplating machine.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:PCBs_hanging_in_electroplating_machine.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 *Bearbeiter:* Swoolverton
- Datei:PCB design and realisation smt and through hole.png** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:PCB_design_and_realisation_smt_and_through_hole.png *Lizenz:* Public Domain *Bearbeiter:* User Mike1024
- Datei:Electronic circuit.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Electronic_circuit.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* Nicola Asuni Nicolaasuni
- Datei:SMD aufgelötet.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:SMD_aufgelötet.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0,2.5,2.0,1.0 *Bearbeiter:* Hutsch
- Datei:flexPCB.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:FlexPCB.jpg> *Lizenz:* GNU Free Documentation License *Bearbeiter:* Benutzer:Ulfbastel
- Datei:Verbindungstest.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Verbindungstest.jpg> *Lizenz:* Public domain *Bearbeiter:* Adrian Banerter, ChristianBier, Jodo
- Datei:Kurzschlussstest.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Kurzschlussstest.jpg> *Lizenz:* Public domain *Bearbeiter:* Adrian Banerter, Forrester, Jodo
- Datei:X-Ray Circuit Board Zoom 2.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:X-Ray_Circuit_Board_Zoom_2.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 *Bearbeiter:* X-Ray_Circuit_Board_Zoom.jpg: SecretDisc derivative work: Emdee (talk)
- Bild:HDI-Leiterplatte.svg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:HDI-Leiterplatte.svg> *Lizenz:* Public domain *Bearbeiter:* Benutzer:Adrian Banerter
- Datei:THT-Bestueckung.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:THT-Bestueckung.jpg> *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 *Bearbeiter:* User:Elektronik Dresden
- Datei:SMT-Bestueckung.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:SMT-Bestueckung.jpg> *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 *Bearbeiter:* User:Elektronik Dresden
- Datei:Reflow oven.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Reflow_oven.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* Nelatan
- Bild:Pick and place internals of surface mount machine.JPG** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Pick_and_place_internals_of_surface_mount_machine.JPG *Lizenz:* Creative Commons Attribution-ShareAlike 3.0,2.5,2.0,1.0 *Bearbeiter:* Peripitus
- Bild:Juki KE-2080L by Megger.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Juki_KE-2080L_by_Megger.jpg *Lizenz:* Creative Commons Attribution 3.0 *Bearbeiter:* Megger Ltd.
- Bild:traytubetape.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Traytubetape.jpg> *Lizenz:* GNU Free Documentation License *Bearbeiter:* Benutzer:Cschirp
- Datei:Three_IC_circuit_chips.JPG** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Three_IC_circuit_chips.JPG *Lizenz:* Public Domain *Bearbeiter:* Kimmo Palosaari
- Datei:SIL9 ST TDA4601.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:SIL9_ST_TDA4601.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:DIL28 UV ST6E15.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:DIL28_UV_ST6E15.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:Piggyback40 Toshiba.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Piggyback40_Toshiba.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:Integrated Circuit.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Integrated_Circuit.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Wollschaf Original uploader was Wollschaf at de.wikipedia
- Datei:ATMEL-AT90S2333.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:ATMEL-AT90S2333.jpg> *Lizenz:* Public Domain *Bearbeiter:* Stehfun 12:34, 1 May 2006 (UTC)
- Datei:ZIP19(20) Toshiba DRAM 514256.jpg** *Quelle:* [http://de.wikipedia.org/w/index.php?title=Datei:ZIP19\(20\)_Toshiba_DRAM_514256.jpg](http://de.wikipedia.org/w/index.php?title=Datei:ZIP19(20)_Toshiba_DRAM_514256.jpg) *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:ZIP28 Toshiba VideoRAM 524256.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:ZIP28_Toshiba_VideoRAM_524256.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:741 op-amp in TO-5 metal can package close-up.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:741_op-amp_in_TO-5_metal_can_package_close-up.jpg *Lizenz:* Public Domain *Bearbeiter:* User Mike1024 on en.wikipedia
- Datei:PGA 6x86 IBM.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:PGA_6x86_IBM.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:Pin Grid Array.JPG** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Pin_Grid_Array.JPG *Lizenz:* Public domain *Bearbeiter:* DLKS, Staro1
- Datei:AMD 486 DX 2 66 MHz opened.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:AMD_486_DX_2_66_MHz_opened.jpg *Lizenz:* Public Domain *Bearbeiter:* Dbenzuser, Denniss, Derbeth, Umherirrender, ZyMOS
- Datei:KL_P1_Family.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:KL_P1_Family.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Konstantin Lanzet
- Datei:Power-DIP Power-SO20.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Power-DIP_Power-SO20.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:BGA16 and SOT23-6.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:BGA16_and_SOT23-6.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:TSSOP RQFP SO SSOP QFN.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:TSSOP_RQFP_SO_SSOP_QFN.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:SO20 UV ST62E20.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:SO20_UV_ST62E20.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:CRQFP80 UV ST62E40.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:CRQFP80_UV_ST62E40.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:KL AMD Am286LX ZX.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:KL_AMD_Am286LX_ZX.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Konstantin Lanzet
- Datei:KL Intel i386SL.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:KL_Intel_i386SL.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Konstantin Lanzet
- Datei:KL_MME_U80701_Carrier.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:KL_MME_U80701_Carrier.jpg *Lizenz:* Creative Commons Attribution 3.0 *Bearbeiter:* Konstantin Lanzet
- Datei:PLCC20(28) Memory.jpg** *Quelle:* [http://de.wikipedia.org/w/index.php?title=Datei:PLCC20\(28\)_Memory.jpg](http://de.wikipedia.org/w/index.php?title=Datei:PLCC20(28)_Memory.jpg) *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* NobbiP
- Datei:80286-processor-made-in-austria.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:80286-processor-made-in-austria.jpg> *Lizenz:* Public Domain *Bearbeiter:* Peter Binter

- Datei:PLCC84 UV Cypress.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:PLCC84_UV_Cypress.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* Nobbip
- Datei:KL Intel R80C188XL CLCC.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:KL_Intel_R80C188XL_CLCC.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Konstantin Lanzet
- Datei:LGA 775.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:LGA_775.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 2.0 *Bearbeiter:* User Smial on de.wikipedia
- Datei:CQFN44 Harris.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:CQFN44_Harris.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* Nobbip
- Datei:TQFP Leadframe.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:TQFP_Leadframe.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* Nobbip
- Datei:DIP16 Leadframe.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:DIP16_Leadframe.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* Nobbip
- Datei:Epromchip.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Epromchip.jpg> *Lizenz:* GNU Free Documentation License *Bearbeiter:* Ulf Seifert (Ulfbastel at de.wikipedia)
- Datei:80486dx2-large.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:80486dx2-large.jpg> *Lizenz:* GNU Free Documentation License *Bearbeiter:* A23cd-s, Adambro, Admrboltz, Artnerisa, CarolSpears, Denniss, Greudin, Kozuch, Martin Kozák, Mattbuck, Rjd0060, Rocket000, 11 anonyme Bearbeitungen
- Datei:Bauelemente in Lotpaste.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Bauelemente_in_Lotpaste.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Original uploader was Martin Maier at de.wikipedia
- Datei:Chips 3 bg 102602.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Chips_3_bg_102602.jpg *Lizenz:* Public domain *Bearbeiter:* Original uploader was Luestling at de.wikipedia
- Datei:SIMM.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:SIMM.jpg> *Lizenz:* GNU Free Documentation License *Bearbeiter:* Original uploader was Crackzlover at de.wikipedia (Original text : de:Benutzer:Crackzlover)
- Datei:KL Intel Pentium MMX embedded BGA Bottom.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:KL_Intel_Pentium_MMX_embedded_BGA_Bottom.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Konstantin Lanzet
- Datei:Altera-CPGA EPM240G.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Altera-CPGA_EPM240G.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0,2.5,2.0,1.0 *Bearbeiter:* KaiMartin
- Datei:KL Thomson TS68000.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:KL_Thomson_TS68000.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Konstantin Lanzet
- Datei:KL AMI S6800 Black Background.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:KL_AMI_S6800_Black_Background.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Konstantin Lanzet
- Datei:Slot-A Athlon.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Slot-A_Athlon.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Denniss, FxJ, Hideyuki, Qurren, RL, Tullius, 天然ガス
- Datei:KL Intel Pentium TCP b.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:KL_Intel_Pentium_TCP_b.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Unported *Bearbeiter:* Konstantin Lanzet
- Datei:SOT23-6.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:SOT23-6.jpg> *Lizenz:* GNU Free Documentation License *Bearbeiter:* Nobbip,Beard0
- Bild:Z84C0010FEC LQFP.png** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Z84C0010FEC_LQFP.png *Lizenz:* Public Domain *Bearbeiter:* w:en>User:HenkeBHenkeB (w:en>User:talk:HenkeBTalk
- Bild:Cyrix Cx486SLCe-V25MP DF7339E top.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Cyrix_Cx486SLCe-V25MP_DF7339E_top.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Denniss, EugeneZelenko, Inductiveload, Morkork, Tothwolf
- Datei:KL MME U80701 Carrier.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:KL_MME_U80701_Carrier.jpg *Lizenz:* Creative Commons Attribution 3.0 *Bearbeiter:* Konstantin Lanzet
- Datei:BGA RAM.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:BGA_RAM.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 2.0 *Bearbeiter:* User Smial on de.wikipedia
- Datei:BGA - Querschnitt.svg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:BGA_-_Querschnitt.svg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0,2.5,2.0,1.0 *Bearbeiter:* BGA_package_sideview.PNG: Tosaka Trex2001
- Datei:Bga und via IMGP4531 wp.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Bga_und_via_IMGP4531_wp.jpg *Lizenz:* unbekannt *Bearbeiter:* Smial
- Bild:Hybridschaltung.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Hybridschaltung.jpg> *Lizenz:* GNU Free Documentation License *Bearbeiter:* Original uploader was Nightflyer at de.wikipedia
- Datei:Dickschicht.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Dickschicht.jpg> *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 *Bearbeiter:* User:Berthium
- Datei:Hybridcircuit.jpg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Hybridcircuit.jpg> *Lizenz:* Public Domain *Bearbeiter:* Original uploader was Janke at en.wikipedia
- Datei:Package on Package (Side view).PNG** *Quelle:* [http://de.wikipedia.org/w/index.php?title=Datei:Package_on_Package_\(Side_view\).PNG](http://de.wikipedia.org/w/index.php?title=Datei:Package_on_Package_(Side_view).PNG) *Lizenz:* Creative Commons Attribution 3.0 *Bearbeiter:* Tosaka
- Datei:Wireless TSV (model).PNG** *Quelle:* [http://de.wikipedia.org/w/index.php?title=Datei:Wireless_TSV_\(model\).PNG](http://de.wikipedia.org/w/index.php?title=Datei:Wireless_TSV_(model).PNG) *Lizenz:* Creative Commons Attribution 3.0 *Bearbeiter:* Tosaka
- Datei:Therm verdampfen.svg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Therm_verdampfen.svg *Lizenz:* Public domain *Bearbeiter:* Cepheiden, Mo1001
- Datei:Varian 3119 coating deposition machine by evaporation at LAAS 0485.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Varian_3119_coating_deposition_machine_by_evaporation_at_LAAS_0485.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 *Bearbeiter:* Guillaume Paumier (user:guillom)
- Bild:Schema einer Sputterkammer.svg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Schema_einer_Sputterkammer.svg *Lizenz:* Creative Commons Attribution-ShareAlike 2.0 *Bearbeiter:* Cepheiden. Original uploader was Cepheiden at de.wikipedia
- Bild:Schema Magnetonsputtern.svg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Schema_Magnetonsputtern.svg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 Germany *Bearbeiter:* Sandro Knaub; Ursprungsbild: Cepheiden. Original uploader was Saendie at de.wikipedia. Later version(s) were uploaded by Cepheiden at de.wikipedia.
- Datei:Ty-LithographyAndPatternTransferByEtching-de.svg** *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Ty-LithographyAndPatternTransferByEtching-de.svg> *Lizenz:* Public Domain *Bearbeiter:* Torsten Henning
- Datei:Spin-coater for resist coating (DE).svg** *Quelle:* [http://de.wikipedia.org/w/index.php?title=Datei:Spin-coater_for_resist_coating_\(DE\).svg](http://de.wikipedia.org/w/index.php?title=Datei:Spin-coater_for_resist_coating_(DE).svg) *Lizenz:* Creative Commons Attribution-ShareAlike 3.0,2.5,2.0,1.0 *Bearbeiter:* Cepheiden
- Datei:Photoresist spin-coaters at LAAS 0448.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Photoresist_spin-coaters_at_LAAS_0448.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 *Bearbeiter:* Guillaume Paumier (user:guillom)
- Datei:MA-6 & MJB-3 steppers at LAAS 0455.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:MA-6_&_MJB-3_steppers_at_LAAS_0455.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 *Bearbeiter:* Guillaume Paumier (user:guillom)
- Datei:EVG-620 & MA-150 steppers at LAAS (FDLS 2007) 0438.jpg** *Quelle:* [http://de.wikipedia.org/w/index.php?title=Datei:EVG-620_&_MA-150_steppers_at_LAAS_\(FDLS_2007\)_0438.jpg](http://de.wikipedia.org/w/index.php?title=Datei:EVG-620_&_MA-150_steppers_at_LAAS_(FDLS_2007)_0438.jpg) *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 *Bearbeiter:* Guillaume Paumier (user:guillom)
- File:Spectrum of lithography lights.PNG** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Spectrum_of_lithography_lights.PNG *Lizenz:* Creative Commons Attribution-Share Alike *Bearbeiter:* Shigeru23
- Datei:Alu bridge.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Alu_bridge.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0,2.5,2.0,1.0 *Bearbeiter:* Christian Schirm
- Datei:Wafer 2_Zoll_bis_8_Zoll.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Wafer_2_Zoll_bis_8_Zoll.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Saperaud
- Datei:Monokristalines Silizium für die Waferherstellung.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Monokristalines_Silizium_für_die_Waferherstellung.jpg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Kluka, Saperaud, 2 anonyme Bearbeitungen
- Datei:Front opening shipping box (front side).jpg** *Quelle:* [http://de.wikipedia.org/w/index.php?title=Datei:Front_opening_shipping_box_\(front_side\).jpg](http://de.wikipedia.org/w/index.php?title=Datei:Front_opening_shipping_box_(front_side).jpg) *Lizenz:* Creative Commons Attribution-ShareAlike 3.0,2.5,2.0,1.0 *Bearbeiter:* Cepheiden
- Datei:Ion implantation machine at LAAS 0521.jpg** *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Ion_implantation_machine_at_LAAS_0521.jpg *Lizenz:* Creative Commons Attribution-ShareAlike 3.0 *Bearbeiter:* Guillaume Paumier (user:guillom)

Datei:Semiconductor fabrication with and without CMP DE.svg *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Semiconductor_fabrication_with_and_without_CMP_DE.svg
Lizenz: Creative Commons Attribution 3.0 *Bearbeiter:* Cepheiden

Datei:Aufbau CMOS-Chip 2000er.svg *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Aufbau_CMOS-Chip_2000er.svg *Lizenz:* GNU Free Documentation License *Bearbeiter:* Cepheiden at de.wikipedia

Datei:PTCDA.svg *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:PTCDA.svg> *Lizenz:* Public Domain *Bearbeiter:* NEUROtiker

Datei:Polycrystalline-silicon-wafer 20060626 568.jpg *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Polycrystalline-silicon-wafer_20060626_568.jpg *Lizenz:* Creative Commons Attribution-Sharealike 2.5 *Bearbeiter:* User:Georg Slickers

Datei:Chain1.jpg *Quelle:* <http://de.wikipedia.org/w/index.php?title=Datei:Chain1.jpg> *Lizenz:* Public Domain *Bearbeiter:* Bomazi, Cepheiden, Emesee, Jahobr, Jcb, Pieter Kuiper, Twisp

Datei:Bug 1c.jpg *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Bug_1c.jpg *Lizenz:* Public Domain *Bearbeiter:* Sandia National Laboratories

Datei:Two microgrippers.jpg *Quelle:* http://de.wikipedia.org/w/index.php?title=Datei:Two_microgrippers.jpg *Lizenz:* Creative Commons Attribution 2.5 *Bearbeiter:* KristianMolhave, Twisp

Lizenz

Wichtiger Hinweis zu den Lizenzen

Die nachfolgenden Lizenzen beziehen sich auf den Artikeltext. Im Artikel gezeigte Bilder und Grafiken können unter einer anderen Lizenz stehen sowie von Autoren erstellt worden sein, die nicht in der Autorenlister erscheinen. Durch eine noch vorhandene technische Einschränkung werden die Lizenzinformationen für Bilder und Grafiken daher nicht angezeigt. An der Behebung dieser Einschränkung wird gearbeitet. Das PDF ist daher nur für den privaten Gebrauch bestimmt. Eine Weiterverbreitung kann eine Urheberrechtsverletzung bedeuten.

Creative Commons Attribution-ShareAlike 3.0 Unported - Deed

Diese "Commons Deed" ist lediglich eine vereinfachte Zusammenfassung des rechtsverbindlichen Lizenzvertrages (http://de.wikipedia.org/wiki/Wikipedia:Lizenzbestimmungen_Commons_Attribution-ShareAlike_3.0_Unported) in allgemeinverständlicher Sprache.

Sie dürfen:

- das Werk bzw. den Inhalt **vervielfältigen, verbreiten und öffentlich zugänglich machen**
- Abwandlungen und Bearbeitungen** des Werkes bzw. Inhaltes anfertigen

Zu den folgenden Bedingungen:

- Namensnennung** — Sie müssen den Namen des Autors/Rechteinhabers in der von ihm festgelegten Weise nennen.
- Weitergabe unter gleichen Bedingungen** — Wenn Sie das lizenzierte Werk bzw. den lizenzierten Inhalt bearbeiten, abwandeln oder in anderer Weise erkennbar als Grundlage für eigenes Schaffen verwenden, dürfen Sie die daraufhin neu entstandenen Werke bzw. Inhalte nur unter Verwendung von Lizenzbedingungen weitergeben, die mit denen dieses Lizenzvertrages identisch, vergleichbar oder kompatibel sind.

Wobei gilt:

- Verzichtserklärung** — Jede der vorgenannten Bedingungen kann aufgehoben werden, sofern Sie die ausdrückliche Einwilligung des Rechteinhabers dazu erhalten.
- Sonstige Rechte** — Die Lizenz hat keinerlei Einfluss auf die folgenden Rechte:
 - Die gesetzlichen Schranken des Urheberrechts und sonstigen Befugnisse zur privaten Nutzung;
 - Das Urheberpersönlichkeitsrecht des Rechteinhabers;
 - Rechte anderer Personen, entweder am Lizenzgegenstand selber oder bezüglich seiner Verwendung, zum Beispiel Persönlichkeitsrechte abgebildeter Personen.
- Hinweis** — Im Falle einer Verbreitung müssen Sie anderen alle Lizenzbedingungen mitteilen, die für dieses Werk gelten. Am einfachsten ist es, an entsprechender Stelle einen Link auf <http://creativecommons.org/licenses/by-sa/3.0/deed.de> einzubinden.

Haftungsbeschränkung

Die „Commons Deed“ ist kein Lizenzvertrag. Sie ist lediglich ein Referenztext, der den zugrundeliegenden Lizenzvertrag übersichtlich und in allgemeinverständlicher Sprache, aber auch stark vereinfacht wiedergibt. Die Deed selbst entfaltet keine juristische Wirkung und erscheint im eigentlichen Lizenzvertrag nicht.

GNU Free Documentation License

Version 1.2, November 2002

Copyright (C) 2000,2001,2002 Free Software Foundation, Inc.

51 Franklin St, Fifth Floor, Boston, MA 02110-1301 USA

Everyone is permitted to copy and distribute verbatim copies

of this license document, but changing it is not allowed.

0. PREAMBLE

The purpose of this License is to make a manual, textbook, or other functional and useful document "free" in the sense of freedom: to assure everyone the effective freedom to copy and redistribute it, with or without modifying it, either commercially or noncommercially. Secondly, this License preserves for the author and publisher a way to get credit for their work, while not being considered responsible for modifications made by others.

This License is a kind of "copyleft", which means that derivative works of the document must themselves be free in the same sense. It complements the GNU General Public License, which is a copyleft license designed for free software.

We have designed this License in order to use it for manuals for free software, because free software needs free documentation: a free program should come with manuals providing the same freedoms that the software does. But this License is not limited to software manuals; it can be used for any textual work, regardless of subject matter or whether it is published as a printed book. We recommend this License principally for works whose purpose is instruction or reference.

1. APPLICABILITY AND DEFINITIONS

This License applies to any manual or other work, in any medium, that contains a notice placed by the copyright holder saying it can be distributed under the terms of this License. Such a notice grants a world-wide, royalty-free license, unlimited in duration, to use that work under the conditions stated herein. The "Document", below, refers to any such manual or work. Any member of the public is a licensee, and is addressed as "you". You accept the license if you copy, modify or distribute the work in a way requiring permission under copyright law.

A "Modified Version" of the Document means any work containing the Document or a portion of it, either copied verbatim, or with modifications and/or translated into another language.

A "Secondary Section" is a named appendix or a front-matter section of the Document that deals exclusively with the relationship of the publishers or authors of the Document to the Document's overall subject (or to related matters) and contains nothing that could fall directly within that overall subject. (Thus, if the Document is in part a textbook of mathematics, a Secondary Section may not explain any mathematics.) The relationship could be a matter of historical connection with the subject or with related matters, or of legal, commercial, philosophical, ethical or political position regarding them.

The "Invariant Sections" are certain Secondary Sections whose titles are designated, as being those of Invariant Sections, in the notice that says that the Document is released under this License. If a section does not fit the above definition of Secondary then it is not allowed to be designated as Invariant. The Document may contain zero Invariant Sections. If the Document does not identify any Invariant Sections then there are none.

The "Cover Texts" are certain short passages of text that are listed, as Front-Cover Texts or Back-Cover Texts, in the notice that says that the Document is released under this License. A Front-Cover Text may be at most 5 words, and a Back-Cover Text may be at most 25 words.

A "Transparent" copy of the Document means a machine-readable copy, represented in a format whose specification is available to the general public, that is suitable for revising the document straightforwardly with generic text editors or (for images composed of pixels) generic paint programs or (for drawings) some widely available drawing editor, and that is suitable for input to text formatters or for automatic translation to a variety of formats suitable for input to text formatters. A copy made in an otherwise Transparent file format whose markup, or absence of markup, has been arranged to thwart or discourage subsequent modification by readers is not Transparent. An image format is not Transparent if used for any substantial amount of text. A copy that is not "Transparent" is called "Opaque".

Examples of suitable Transparent formats include plain ASCII without markup, Texinfo input format, LaTeX input format, SGML or XML using a publicly available DTD, and standard-conforming simple HTML, PostScript or PDF designed for human modification. Examples of transparent image formats include PNG, XCF and JPG. Opaque formats include proprietary formats that can be read and edited only by proprietary word processors, SGML or XML for which the DTD and/or processing tools are not generally available, and the machine-generated HTML, PostScript or PDF produced by some word processors for output purposes only.

The "Title Page" means, for a printed book, the title page itself, plus such following pages as are needed to hold, legibly, the material this License requires to appear in the title page. For works in formats which do not have any title page as such, "Title Page" means the text near the most prominent appearance of the work's title, preceding the beginning of the body of the text.

A section "Entitled XYZ" means a named subunit of the Document whose title either is precisely XYZ or contains XYZ, in parentheses following text that translates XYZ in another language. (Here XYZ stands for a specific section name mentioned below, such as "Acknowledgements", "Dedications", "Endorsements", or "History.") To "Preserve the Title" of such a section when you modify the Document means that it remains a section "Entitled XYZ" according to this definition.

The Document may include Warranty Disclaimers next to the notice which states that this License applies to the Document. These Warranty Disclaimers are considered to be included by reference in this License, but only as regards disclaiming warranties; any other implication that these Warranty Disclaimers may have is void and has no effect on the meaning of this License.

2. VERBATIM COPYING

You may copy and distribute the Document in any medium, either commercially or noncommercially, provided that this License, the copyright notices, and the license notice saying this License applies to the Document are reproduced in all copies, and that you add no other conditions whatsoever to those of this License. You may not use technical measures to obstruct or control the reading or further copying of the copies you make or distribute. However, you may accept compensation in exchange for copies. If you distribute a large enough number of copies you must also follow the conditions in section 3.

You may also lend copies, under the same conditions stated above, and you may publicly display copies.

3. COPYING IN QUANTITY

If you publish printed copies (or copies in media that commonly have printed covers) of the Document, numbering more than 100, and the Document's license notice requires Cover Texts, you must enclose the copies in covers that carry, clearly and legibly, all these Cover Texts: Front-Cover Texts on the front cover, and Back-Cover Texts on the back cover. Both covers must also clearly and legibly identify you as the publisher of these copies. The front cover must present the full title with all words of the title equally prominent and visible. You may add other material on the covers in addition. Copying with changes limited to the covers, as long as they preserve the title of the Document and satisfy these conditions, can be treated as verbatim copying in other respects.

If the required texts for either cover are too voluminous to fit legibly, you should put the first ones listed (as many as fit reasonably) on the actual cover, and continue the rest onto adjacent pages.

If you publish or distribute Opaque copies of the Document numbering more than 100, you must either include a machine-readable Transparent copy along with each Opaque copy, or state in or with each Opaque copy a computer-network location from which the general network-using public has access to download using public-standard network protocols a complete Transparent copy of the Document, free of added material. If you use the latter option, you must take reasonably prudent steps, when you begin distribution of Opaque copies in quantity, to ensure that this Transparent copy will remain thus accessible at the stated location until at least one year after the last time you distribute an Opaque copy (directly or through your agents or retailers) of that edition to the public.

It is requested, but not required, that you contact the authors of the Document well before redistributing any large number of copies, to give them a chance to provide you with an updated version of the Document.

4. MODIFICATIONS

You may copy and distribute a Modified Version of the Document under the conditions of sections 2 and 3 above, provided that you release the Modified Version under precisely this License, with the Modified Version filling the role of the Document, thus licensing modification and modification of the Modified Version to whoever possesses a copy of it. In addition, you must do these things in the Modified Version:

- Use in the Title Page (and on the covers, if any) a title distinct from that of the Document, and from those of previous versions (which should, if there were any, be listed in the History section of the Document). You may use the same title as a previous version if the original publisher of that version gives permission.
- List on the Title Page, as authors, one or more persons or entities responsible for authorship of the modifications in the Modified Version, together with at least five of the principal authors of the Document (all of its principal authors, if it has fewer than five), unless they release you from this requirement.
- State on the Title page the name of the publisher of the Modified Version, as the publisher.
- Preserve all the copyright notices of the Document.
- Add an appropriate copyright notice for your modifications adjacent to the other copyright notices.
- Include, immediately after the copyright notices, a license notice giving the public permission to use the Modified Version under the terms of this License, in the form shown in the Addendum below.
- Preserve in that license notice the full lists of Invariant Sections and required Cover Texts given in the Document's license notice.
- Include an unaltered copy of this License.
- Preserve the section Entitled "History", Preserve its Title, and add to it an item stating at least the title, year, authors, and publisher of the Modified Version as given on the Title Page. If there is no section Entitled "History" in the Document, create one stating the title, year, authors, and publisher of the Document as given on its Title Page, then add an item describing the Modified Version as stated in the previous sentence.
- Preserve the network location, if any, given in the Document for public access to a Transparent copy of the Document, and likewise the network locations given in the Document for previous versions it was based on. These may be placed in the "History" section. You may omit a network location for a work that was published at least four years before the Document itself, or if the original publisher of the version it refers to gives permission.
- For any section Entitled "Acknowledgements" or "Dedications", Preserve the Title of the section, and preserve in the section all the substance and tone of each of the contributor acknowledgements and/or dedications given therein.
- Preserve all the Invariant Sections of the Document, unaltered in their text and in their titles. Section numbers or the equivalent are not considered part of the section titles.
- Delete any section Entitled "Endorsements". Such a section may not be included in the Modified Version.
- Do not retitle any existing section to be Entitled "Endorsements" or to conflict in title with any Invariant Section.
- Preserve any Warranty Disclaimers.

If the Modified Version includes new front-matter sections or appendices that qualify as Secondary Sections and contain no material copied from the Document, you may at your option designate some or all of these sections as invariant. To do this, add their titles to the list of Invariant Sections in the Modified Version's license notice. These titles must be distinct from any other section titles.

You may add a section Entitled "Endorsements", provided it contains nothing but endorsements of your Modified Version by various parties—for example, statements of peer review or that the text has been approved by an organization as the authoritative definition of a standard.

You may add a passage of up to five words to a Front-Cover Text, and a passage of up to 25 words as a Back-Cover Text, to the end of the list of Cover Texts in the Modified Version. Only one passage of Front-Cover Text and one of Back-Cover Text may be added by (or through arrangements made by) any one entity. If the Document already includes a cover text for the same cover, previously added by you or by arrangement made by the same entity you are acting on behalf of, you may not add another; but you may replace the old one, on explicit permission from the previous publisher that added the old one.

The author(s) and publisher(s) of the Document do not by this License give permission to use their names for publicity for or to assert or imply endorsement of any Modified Version.

5. COMBINING DOCUMENTS

You may combine the Document with other documents released under this License, under the terms defined in section 4 above for modified versions, provided that you include in the combination all of the Invariant Sections of all of the original documents, unmodified, and list them all as Invariant Sections of your combined work in its license notice, and that you preserve all their Warranty Disclaimers.

The combined work need not contain one copy of this License, and multiple identical Invariant Sections may be replaced with a single copy. If there are multiple Invariant Sections with the same name but different contents, make the title of each such section unique by adding at the end of it, in parentheses, the name of the original author or publisher of that section if known, or else a unique number. Make the same adjustment to the section titles in the list of Invariant Sections in the license notice of the combined work.

In the combination, you must combine any sections Entitled "History" in the various original documents, forming one section Entitled "History"; likewise combine any sections Entitled "Acknowledgements", and any sections Entitled "Dedications". You must delete all sections Entitled "Endorsements".

6. COLLECTIONS OF DOCUMENTS

You may make a collection consisting of the Document and other documents released under this License, and replace the individual copies of this License in the various documents with a single copy that is included in the collection, provided that you follow the rules of this License for verbatim copying of each of the documents in all other respects. You may extract a single document from such a collection, and distribute it individually under this License, provided you insert a copy of this License into the extracted document, and follow this License in all other respects regarding verbatim copying of that document.

7. AGGREGATION WITH INDEPENDENT WORKS

A compilation of the Document or its derivatives with other separate and independent documents or works, in or on a volume of a storage or distribution medium, is called an "aggregate" if the copyright resulting from the compilation is not used to limit the legal rights of the compilation's users beyond what the individual works permit. When the Document is included in an aggregate, this License does not apply to the other works in the aggregate which are not themselves derivative works of the Document.

If the Cover Text requirement of section 3 is applicable to these copies of the Document, then if the Document is less than one half of the entire aggregate, the Document's Cover Texts may be placed on covers that bracket the Document within the aggregate, or the electronic equivalent of covers if the Document is in electronic form. Otherwise they must appear on printed covers that bracket the whole aggregate.

8. TRANSLATION

Translation is considered a kind of modification, so you may distribute translations of the Document under the terms of section 4. Replacing Invariant Sections with translations requires special permission from their copyright holders, but you may include translations of some or all Invariant Sections in addition to the original versions of these Invariant Sections. You may include a translation of this License, and all the license notices in the Document, and any Warranty Disclaimers, provided that you also include the original English version of this License and the original versions of those notices and disclaimers. In case of a disagreement between the translation and the original version of this License or a notice or disclaimer, the original version will prevail.

If a section in the Document is Entitled "Acknowledgements", "Dedications", or "History", the requirement (section 4) to Preserve its Title (section 1) will typically require changing the actual title.

9. TERMINATION

You may not copy, modify, sublicense, or distribute the Document except as expressly provided for under this License. Any other attempt to copy, modify, sublicense or distribute the Document is void, and will automatically terminate your rights under this License. However, parties who have received copies, or rights, from you under this License will not have their licenses terminated so long as such parties remain in full compliance.

10. FUTURE REVISIONS OF THIS LICENSE

The Free Software Foundation may publish new, revised versions of the GNU Free Documentation License from time to time. Such new versions will be similar in spirit to the present version, but may differ in detail to address new problems or concerns. See <http://www.gnu.org/copyleft/>.

Each version of the License is given a distinguishing version number. If the Document specifies that a particular numbered version of this License "or any later version" applies to it, you have the option of following the terms and conditions either of that specified version or of any later version that has been published (not as a draft) by the Free Software Foundation. If the Document does not specify a version number of this License, you may choose any version ever published (not as a draft) by the Free Software Foundation.

ADDENDUM: How to use this License for your documents

To use this License in a document you have written, include a copy of the License in the document and put the following copyright and license notices just after the title page:

Copyright (c) YEAR YOUR NAME.

Permission is granted to copy, distribute and/or modify this document

under the terms of the GNU Free Documentation License, Version 1.2

or any later version published by the Free Software Foundation;

with no Invariant Sections, no Front-Cover Texts, and no Back-Cover Texts.

A copy of the license is included in the section entitled

"GNU Free Documentation License".

If you have Invariant Sections, Front-Cover Texts and Back-Cover Texts, replace the "with...Texts." line with this:

with the Invariant Sections being LIST THEIR TITLES, with the

Front-Cover Texts being LIST, and with the Back-Cover Texts being LIST.

If you have Invariant Sections without Cover Texts, or some other combination of the three, merge those two alternatives to suit the situation.

If your document contains nontrivial examples of program code, we recommend releasing these examples in parallel under your choice of free software license, such as the GNU General Public License, to permit their use in free software.